

École polytechnique de Louvain

Caractérisation d'un transistor FDSOI à basse température

Auteur: **Matthieu Masselus**
Promoteurs : **Denis Flandre, Jean-Pierre Raskin**
Lecteurs : **Benoît Hackens, Valeriya Kilchytska**
Année académique 2018–2019

Master [120] : ingénieur civil électricien

Résumé

Pendant de nombreuses années les dimensions des transistors ont été réduites à chaque génération de la technologie, ceci afin d'accroître les performances des circuits. Cependant, les transistors ont atteint des dimensions si petites que certaines hypothèses qui avaient été initialement posées à propos du transport électronique à l'intérieur du transistor ont dû être revues. Un des moyens pour augmenter les performances des transistors serait de les faire fonctionner à basse température. Le but de ce travail sera donc d'effectuer une caractérisation complète d'un transistor à basse température, afin d'observer son comportement à 77K.

*Remerciements

Dans le cadre de ce travail, je voudrais remercier Denis Flandre, Valerya Kiltchystka et Jean-Pierre Raskin qui m'ont accompagné et aidé à clarifier mes questions. J'aimerais aussi remercier Babak Kazemi Esfeh qui m'a apporté son aide en laboratoire afin d'extraire les paramètres S . Je voudrais enfin remercier Benoît Hackens, qui a accepté d'être un lecteur de mon mémoire.

Table des matières

1	Introduction	9
2	La technologie FDSOI	10
2.1	Les avantages du FDSOI	11
2.2	Les avantages du FDSOI pour les blocs de circuits communs . . .	11
2.2.1	Blocs logiques numériques	11
2.2.2	Blocs Analogiques et RF	12
2.3	Etat de l'art de la technologie à basse température	12
2.3.1	La mobilité de champ	16
3	Caractérisation à basse température	21
3.1	système de mesures	21
3.2	Calibration	22
3.3	Caractérisation DC	26
3.3.1	La tension de seuil	26
3.3.2	Les caractéristiques Courant-Tension	28
3.3.3	La pente de sous-seuil	29
3.4	Ratio I_{ON}/I_{OFF}	32
3.5	Caractérisation analogique	33
3.5.1	Le ratio de transconductance sur le courant de drain $\frac{g_m}{I_{DS}}$	33
3.5.2	Tension d'Early V_{EA}	35
3.6	Caractérisation RF	36
3.7	Fréquences de coupure	38
3.7.1	Fréquence de coupure de gain de courant f_T	38
3.7.2	Fréquence maximum d'oscillation f_{max}	38
4	Extraction des éléments du circuit petit signal équivalent à partir des paramètres S mesurés	44
4.1	Modèle équivalent petit signal d'un SOI MOSFET	44
4.1.1	Les éléments intrinsèques	44
4.1.2	Eléments extrinsèques	46
4.1.3	Les éléments d'entrée	47
4.2	Description du dispositif testé et des réglages de mesure	48
4.3	Extraction des éléments petit-signal du circuit	48
4.3.1	Les éléments d'entrée	48
4.3.2	Les capacités d'entrée	49
4.3.3	Les éléments extrinsèques	51
4.3.4	Les éléments intrinsèques	57
4.4	Conclusion	65
5	Simulation ELDO	66
5.1	Simulation ac vs extraction paramètres S	66
5.2	Précision de la méthode d'extraction	67
5.3	Sensibilité des éléments extraits	71

5.4 Conclusion	72
6 Conclusion	73
Bibliographie	75

Table des figures

1	Une coupe transversale schématique de (a) un MOSFET <i>bulk</i> et de (b) un MOSFET FDSOI.	10
2	Courbes $I_{DS}(V_{GS})$ typiques pour des températures variées pour des dispositifs MOS n et p ($V_{DS} = 20mV, L = 10\mu m, W = 1\mu m$) [20]	13
3	Courbes $g_m(V_{GS})$ typiques pour des températures variées pour des dispositifs MOS n et p ($V_{DS} = 20mV, L = 10\mu m, W = 1\mu m$) [20]	14
4	Variation de la tension de seuil V_T en fonction de la température pour des dispositifs MOS n et p pour de nombreuses longueurs de grilles ($V_{DS} = 20mV, W = 1\mu m$) [20]	15
5	Variation de la pente de sous-seuil SS avec la température pour de nombreux dispositifs MOS n et p avec différentes longueurs de grille ($V_{DS} = 20mV, W = 1\mu m$). [20]	16
6	Courbes $Y(V_{GS})$ typiques pour de nombreuses températures utilisées pour l'extraction de la mobilité de dispositifs MOS n et p ($V_{DS} = 20mV, L = 10\mu m, W = 1\mu m$). [20]	17
7	Variation de la mobilité de champ μ_0 avec la température pour des dispositifs MOS n et p pour de nombreuses longueurs de grille ($V_{DS} = 20mV, W = 1\mu m$). [20]	18
8	Variation de la mobilité de champ en fonction de la longueur de grille pour des dispositifs MOS n et p à 77K et 300K ($V_{DS} = 20mV, W = 1\mu m$) [20]	19
9	Appareils de mesure utilisés pour la caractérisation DC et RF	21
10	Sonde <i>infinity</i> utilisée pour les mesures sur plaquette	22
11	Illustration de la technique <i>terre-signal-terre</i> utilisée dans les mesures RF des systèmes à deux ports ??	22
12	Erreurs systématiques de mesure [26]	24
13	Etapes de pré-calibration : Planarité et alignement des sondes [5]	25
14	Etapes de calibration [5]	25
15	illustration de la méthode de la dérivée seconde d'extraction du V_T [10]	28
16	Variation de V_T en fonction de la température pour $L = 25$ nm	29
17	Courbes $I_{DS} - V_{GS}$ caractéristiques en régime linéaire ($V_{DS} = 50mV$) pour $L = 25$ nm	30
18	$g_{m_{max}}$ en fonction de la température à $V_{DS} = 1V$ pour $L = 25$ nm	31
19	Réseau de capacités équivalent [2]	32
20	SS pour $L = 25$ nm en régime linéaire ($V_{DS} = 50mV$). Comme on peut le constater, SS augmente fortement avec la température.	33
21	Variation de $\frac{I_{ON}}{I_{OFF}}$ avec la température pour $L = 25$ nm	34
22	g_m/I_{DS} en fonction du courant normalisé $I_{DS}/(W/L)$	35
23	Illustration de la méthode extrapolée d'extraction de la tension d'Early V_{EA} [10]	36
24	Variation de V_{EA} selon la température pour $L = 25$ nm	37
25	Circuit petit-signal équivalent d'un MOSFET incluant les effets des tampons de mesure	39

26	Illustration de l'extraction de f_T à partir des paramètres S mesurés après le calcul du gain en courant $ H_{21} $ [10]	39
27	Fréquence de coupure en fonction de la température	40
28	Fréquence de coupure en fonction de L	41
29	Fréquence d'oscillation maximale f_{max} en fonction de la température	42
30	Fréquence d'oscillation maximale f_{max} en fonction de L	43
31	Circuit équivalent petit-signal utilisé pour modéliser les comportements petit-signal de l' UTB SOI MOSFET. Le transistor a été séparé en trois parties : l'accès, l'extrinsèque et l'intrinsèque	45
32	Illustration des capacités extrinsèques $C_{gse} = C_{gse,ov} + C_{gse,of}$, $C_{gde} = C_{gde,ov} + C_{gde,of}$ et C_{sde} en fonction de la géométrie du transistor.	46
33	Illustration de la procédure de dé-enchâssement en <i>open-pad</i> . L'image de gauche montre la structure RF : le dispositif actif (en couleur) enchâssé dans le tampon CPW.	47
34	Parties réelles de $Z_{\Sigma_{11}} - Z_{\Sigma_{12}}$, $Z_{\Sigma_{12}}$ et $Z_{\Sigma_{22}} - Z_{\Sigma_{12}}$ en fonction de la fréquence f pour L = 25 nm à 300K. Une moyenne des fréquences sur la bande [10 GHz;15 GHz] est effectuée afin d'extraire les valeurs des parties réelles des paramètres Z.	50
35	Partie imaginaire de $Y_{a_{11}} + Y_{a_{12}}$, $-Y_{a_{12}}$ et $Y_{a_{22}} + Y_{a_{12}}$ en fonction de la fréquence f pour L = 25 nm. A partir de la pente de la courbe, les capacités d'accès sont extraites	51
36	Illustration de l'extraction de la tension de seuil V_T basée sur la méthode du ratio du courant de drain pour le transistor à L = 25 nm et 300K. La tension de drain est égale à 20 mV. V_T est déduite à partir d'une extrapolation linéaire de la courbe en régime de forte inversion (à partir des trois plus grands V_{GS} : 0.9, 0.95 et 1 V. [29]	52
37	Illustration de la méthode de Bracale à $V_{DS} = 0V$, $V_{GS} = 0.9, 0.95$ et 1 V et L = 25 nm à 300K.	55
38	Capacités intrinsèques C_{ggi} , C_{gdi} et C_{gsi} en régime linéaire en fonction de la tension de grille V_{GS} pour L = 25 nm et T = 300K. La capacité C_{gsi} est déduite à partir de la différence entre C_{ggi} et C_{gdi}	59
39	Capacités intrinsèques C_{ggi} , C_{gdi} et C_{gsi} en régime linéaire en fonction de la tension de grille V_{GS} pour L = 25 nm et T = 77K. La capacité C_{gsi} est déduite à partir de la différence entre C_{ggi} et C_{gdi}	60
40	Capacités intrinsèques C_{ggi} , C_{gdi} et C_{gsi} en régime saturé en fonction de la tension de grille V_{GS} pour L = 25 nm et T = 300K. La capacité C_{gsi} est déduite à partir de la différence entre C_{ggi} et C_{gdi}	61
41	Transconductance intrinsèque g_{mi} et transconductances extrinsèques g_{me} en fonction de la tension de grille V_{GS} pour L = 25 nm à T = 300K	62

42	Transconductance intrinsèque g_{mi} et transconductances extrinsèque g_{me} en fonction de la tension de grille V_{GS} pour $L = 25$ nm à $T = 77$ K	62
43	Conductance de sortie intrinsèque g_{di} et conductance de sortie extrinsèque g_{de} en fonction de la tension de grille V_{GS} pour $L = 25$ nm $T = 77$ K	63
44	Conductance de sortie intrinsèque g_{di} et conductance de sortie extrinsèque g_{de} en fonction de la tension de grille V_{GS} pour $L = 25$ nm $T = 300$ K	64
45	Capacité intrinsèque C_{gdi} en régime linéaire pour 77K	67
46	Capacité intrinsèque C_{ggi} en régime linéaire pour 77K	67
47	Capacité intrinsèque C_{gsi} en régime linéaire pour 77K	68
48	Conductance de sortie intrinsèque g_{di} en fonction de la tension de grille V_{GS} pour $L = 25$ nm et $T = 77$ K sans résistances séries imposées	68
49	Conductance de sortie intrinsèque g_{di} en fonction de la tension de grille V_{GS} pour $L = 25$ nm et $T = 77$ K avec les résistances séries imposées	69
50	Transconductance intrinsèque g_{mi} en fonction de la tension de grille V_{GS} pour $L = 25$ nm et $T = 77$ K sans les résistances séries imposées	69
51	Transconductance intrinsèque g_{mi} en fonction de la tension de grille V_{GS} pour $L = 25$ nm et $T = 77$ K avec les résistances séries imposées	70

1 Introduction

Pendant de nombreuses années, l'un des moteurs de l'industrie des semi-conducteurs a été la réduction continue de la taille des circuits à chaque génération de technologie. Cette diminution a permis une amélioration des performances des circuits (de par la vitesse et la complexité des circuits) par unité de surface, et une diminution du coût d'un transistor. De nombreux effets indésirables sont apparus avec la diminution de la taille des transistors : la saturation de la vitesse des porteurs, la modulation de la longueur de canal, le partage de charge, ... communément appelés *effets de canal court*. Ces effets indésirables ont ralenti le rythme d'amélioration des transistors. De plus, sous la barre des 100 nm, des effets quantiques tels que le tunnel quantique sont apparus. Le tunnel quantique est un phénomène de la mécanique quantique où une particule subatomique passe à travers une barrière de potentiel. Ce phénomène a accru les pertes DC de grille. A cause des effets mentionnés ci-dessus, la diminution de la taille des transistors a atteint ses limites. Afin de continuer à améliorer les performances des transistors, d'autres champs de recherche doivent être envisagés. Une de ces méthodes d'amélioration consisterait à utiliser ces transistors, non pas à température ambiante, mais à basse température. Il y a deux applications industrielles concernant l'utilisation de FDSOI à basse température (77K) : les applications dans le domaine spatial, et la forte demande en informatique quantique, celle-ci ayant des performances de calcul améliorées à température cryogénique (cette température fournit un plus grand nombre de bits quantiques).

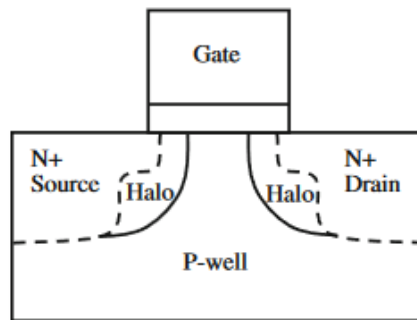
Le but de ce mémoire sera donc de caractériser de façon précise un transistor FDSOI à basse température. Le chapitre 1 sera consacré à une description partielle de la technologie FDSOI ainsi qu'à un état des connaissances de la recherche se basant sur l'étude du FDSOI à basse température.

Les chapitres 2 et 3 seront consacrés à l'extraction des figures de mérite de ce transistor à basse température, ainsi que l'extraction de son circuit petit-signal équivalent.

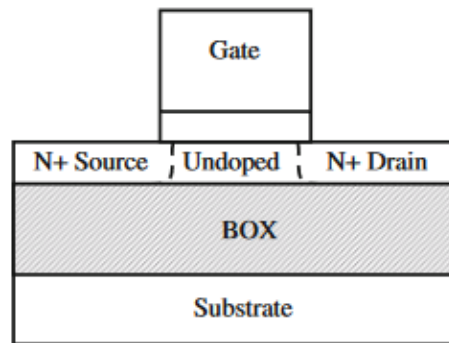
Enfin, le chapitre 4 se concentre sur la simulation ELDO d'un transistor similaire à basse température, cela afin de vérifier les tendances observées lors de l'extraction du circuit petit-signal qui aura lieu au chapitre précédent.

2 La technologie FDSOI

La technologie FD-SOI (Silicium sur Isolant Totalement Epuisé) est un processus planaire qui exploite les méthodes de fabrication existantes pour fournir des transistor aux géométries de silicium réduites, ayant des performances améliorées et une consommation d'énergie réduite. Le développement de cette technologie étend la loi de Moore sans besoin de recourir à des processus de fabrication beaucoup plus compliqués. Deux innovations clés sont combinées, en synergie, pour créer le processus FD-SOI. La première consiste à utiliser un isolant ultra-mince en oxyde placé sur la base du silicium. Deuxièmement, une couche de silicium très mince crée le canal du transistor. En raison de la minceur de cette couche, aucun dopage de canal n'est nécessaire, ce qui rend le transistor totalement appauvri. La structure FD-SOI résultante est une évolution du processus CMOS en vrac bien connu, comme illustré à la Figure 1.



(a) a



(b) b

FIG. 1: Une coupe transversale schématique de (a) un MOSFET *bulk* et de (b) un MOSFET FDSOI.

2.1 Les avantages du FDSOI

La structure FDSOI donne de bien meilleures caractéristiques aux transistors que la technologie CMOS classique. Comme l'illustre la Figure 1, la couche d'oxyde enterrée du FD-SOI réduit la capacité parasite entre la source et le drain présentée par la technologie *bulk*. La couche d'oxyde enterrée contraint également les électrons qui circulent entre la source et le drain à réduire considérablement les courants de fuite dégradant les performances et la puissance. Le canal complètement épuisé réduit également les fuites.

La technologie FDSOI permet de contrôler le comportement des transistors non seulement à travers la grille, mais également en appliquant une tension, souvent appelée polarisation, sur le substrat situé en dessous du dispositif. La polarisation de corps est très limitée lorsqu'elle est utilisée dans la technologie *bulk* en raison de la fuite de courant parasite et de l'inefficacité lorsque la géométrie du transistor est réduite. En technologie FDSOI, la polarisation est beaucoup plus efficace en raison de l'isolation diélectrique créée par la couche d'oxyde enterrée. De plus, les propriétés isolantes de la couche d'oxyde enterrée permettent l'utilisation de tensions de polarisation plus élevées, ce qui permet un contrôle dynamique des transistors, permettant de faire un choix entre la vitesse et l'efficacité énergétique. Ces avantages se traduisent par un coût réduit de 20% comparé au processus plus complexe FinFET.

2.2 Les avantages du FDSOI pour les blocs de circuits communs

2.2.1 Blocs logiques numériques

L'efficacité énergétique est la chose la plus importante à améliorer dans les blocs logiques numériques. L'augmentation constante des performances et l'ajout de fonctions, tout en ne dépassant pas une puissance trop élevée, constituent l'évolution constante des systèmes numériques. La technologie FD-SOI permet de réduire les capacités associées aux transistors utilisés dans les circuits numériques, permettant ainsi une commutation plus rapide et plus efficace, ce qui permet d'améliorer les performances et de réduire la puissance consommée. De plus, la possibilité d'ajuster de manière dynamique la tension de polarisation permet une flexibilité accrue dans l'application de la puissance à l'endroit où elle peut être utilisée le plus efficacement possible. Ceci est une véritable innovation dans l'optique d'une gestion efficace de l'énergie. Une réduction du courant de fuite contribue également à améliorer la dissipation d'énergie statique, celle-ci pouvant poser problème dans les grands blocs logiques numériques.

2.2.2 Blocs Analogiques et RF

Dans les blocs analogiques, la technologie FD-SOI offre plusieurs avantages qui améliorent considérablement les caractéristiques des dispositifs. L'isolation diélectrique totale du canal crée une capacité de grille inférieure et des courants de fuite réduits. L'isolation fournit également une immunité au *latch-up*, ce qui permet d'utiliser des circuits analogiques plus petits et plus simples. De plus, l'absence de dopage de canal dans le transistor engendre des spécifications de bruit plus faibles et des gains plus élevés par rapport aux technologies *bulk*. Le FDSOI améliore également les caractéristiques du bloc RF avec des tendances satisfaisantes en f_T et f_{max} . Ces caractéristiques clés se traduisent par des conceptions analogiques et RF optimales.

2.3 Etat de l'art de la technologie à basse température

Il existe deux motivations dans l'investigation approfondie des technologies de pointe FDSOI à des températures cryogéniques : (i) les applications dans le domaine spatial et (ii) la conception de circuits de lecture de bits quantiques par un système intégré de contrôle. La forte demande en informatique quantique est motivée par une importante augmentation de la puissance de calcul à température cryogénique, celle-ci fournissant un plus grand nombre de bits quantiques. Nous présentons ici l'état de l'art de la technologie FDSOI 28 nm à basse température (77K).

Les Figures 2 et 3 montrent les caractéristiques de transfert typiques du courant de drain I_{DS} (V_{GS}) et de la transconductance g_m (V_{GS}) obtenues dans la région linéaire ($V_{DS} = 20mV$) pour diverses températures allant de 77K à 300K. Comme on peut le constater, l'abaissement de la température entraîne une augmentation significative du courant de drain et de la transconductance associée en raison d'une amélioration de la mobilité à basse température (voir ci-dessous). Il convient également de noter la présence d'un point de dépendance à la température zéro où le courant de drain et la transconductance sont presque constants avec la température, comme dans les MOSFET conventionnels.

Les principaux paramètres MOSFET ont ensuite été extraits pour différentes températures et longueurs de grille. La dépendance en température de la tension de seuil V_T , définie comme le maximum de la dérivée de la transconductance, est illustrée à la Figure 4 pour des dispositifs MOS n et p avec des longueurs de grille inférieures à 30 nm. Dans tous les cas, la tension de seuil (en valeur absolue) augmente presque de façon linéaire à mesure que la température baisse, comme dans les MOSFET standards. De fait, dans les dispositifs FD-SOI, la tension de seuil dans le canal faiblement dopé peut être obtenue comme dans [2],

$$V_T = V_{fb} + \frac{kT}{q} \ln\left(\frac{Q_{ith}}{qn_i t_{si}}\right) + \frac{Q_{ith} + qN_a t_{si}}{C_{ox}} \quad (1)$$

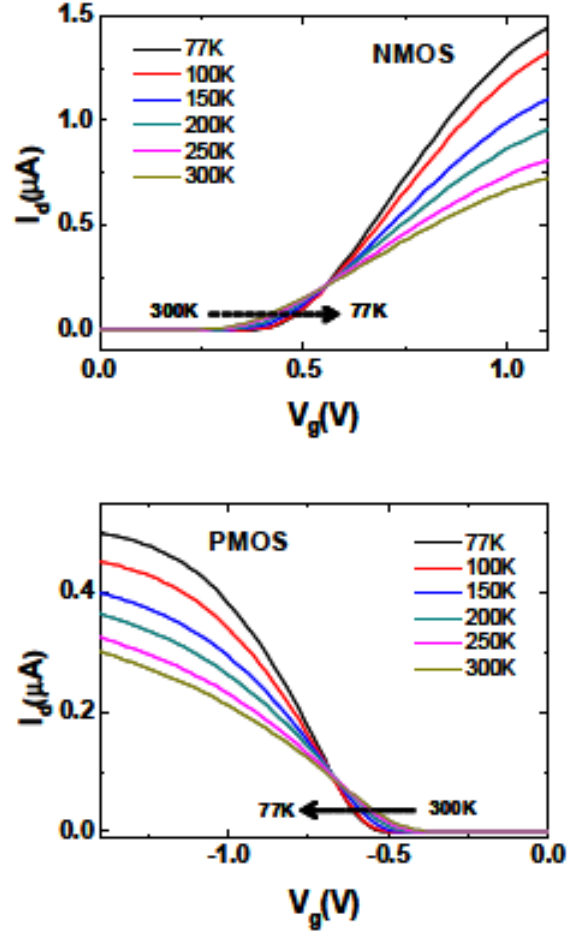


FIG. 2: Courbes $I_{DS}(V_{GS})$ typiques pour des températures variées pour des dispositifs MOS n et p ($V_{DS} = 20mV, L = 10\mu m, W = 1\mu m$)[20]

où $Q_{ith} = kT \frac{C_{ox}}{q}$ est la charge d'inversion critique, kT/q la tension thermique, N_a le niveau de dopage résiduel du canal, t_{si} l'épaisseur de corps du canal, C_{ox} la capacité d'oxyde de grille et n_i la concentration intrinsèque en porteurs. Cette dernière représente la principale contribution de la dépendance en température de V_T dans Eq. (1).

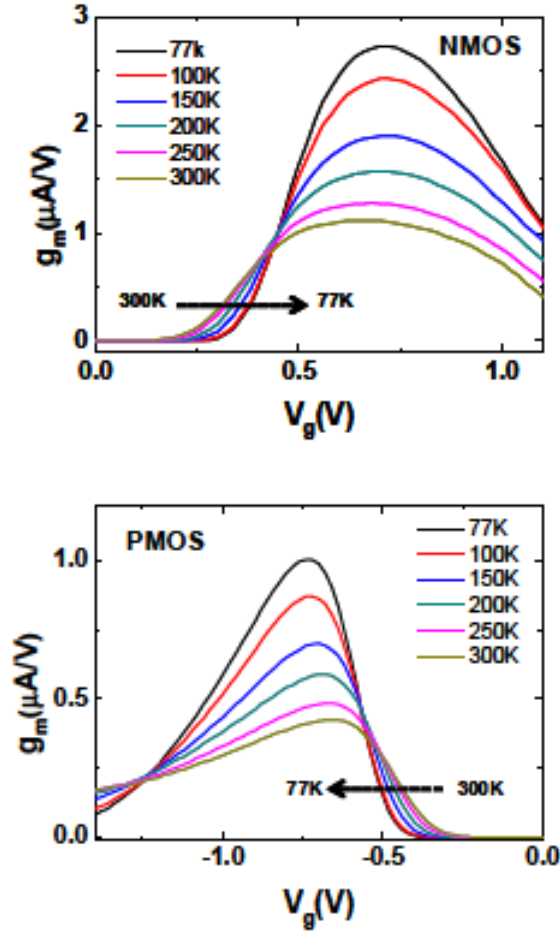


FIG. 3: Courbes $g_m(V_{GS})$ typiques pour des températures variées pour des dispositifs MOS n et p ($V_{DS} = 20mV, L = 10\mu m, W = 1\mu m$)[20]

Il convient également d'observer sur la Figure 4 que l'effet de canal court, c'est-à-dire la réduction de V_T (L) dans le cas d'une petite longueur de grille, ne dépend pas de la température, contrairement à ce qui est habituellement observé dans un MOSFET *bulk*.

La variation en fonction de la température de la pente de sous-seuil $SS = [\frac{d \ln(I_d)}{dV_g}]^{-1}$ est illustrée à la Figure 5 pour diverses longueurs de grille. Dans tous les cas, SS varie linéairement avec la température, conformément à la théorie, avec des valeurs presque idéales de 60 mV / déc et de 20 mV / déc à $T = 300K$ et $T = 100K$, respectivement, pour les dispositifs à canal long. On ne devrait noter qu'une légère augmentation de la pente de sous-seuil pour les très petites grilles.

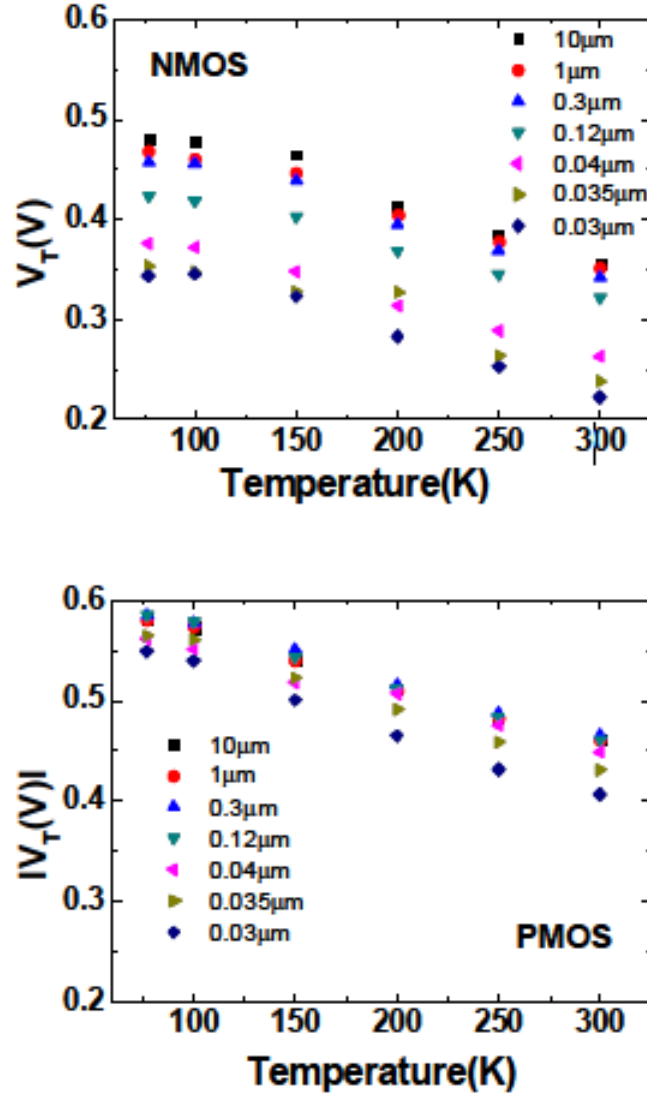


FIG. 4: Variation de la tension de seuil V_T en fonction de la température pour des dispositifs MOS n et p pour de nombreuses longueurs de grilles ($V_{DS} = 20mV$, $W = 1\mu m$) [20]

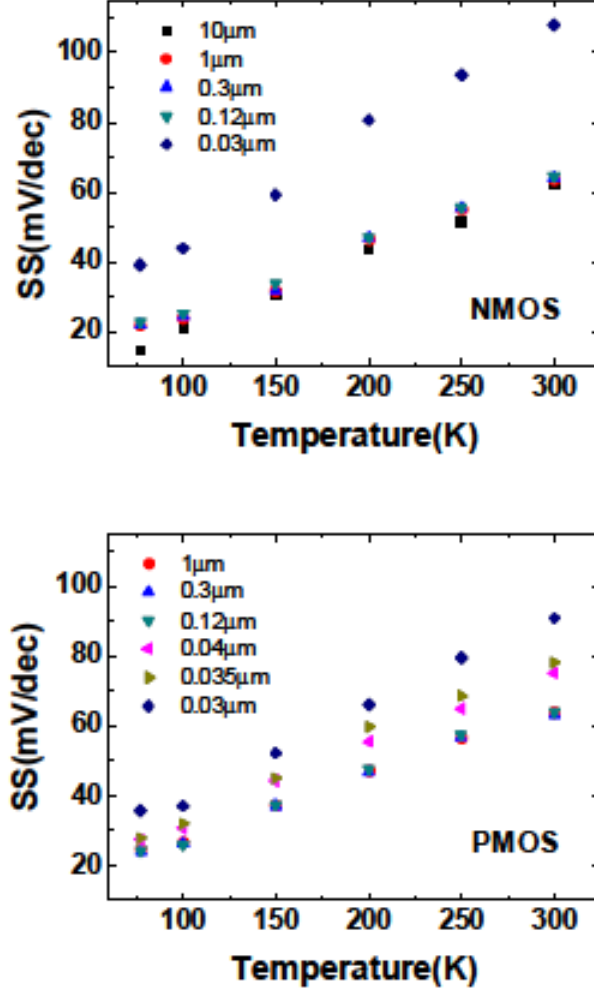


FIG. 5: Variation de la pente de sous-seuil SS avec la température pour de nombreux dispositifs MOS n et p avec différentes longueurs de grille ($V_{DS} = 20mV$, $W = 1\mu m$). [20]

2.3.1 La mobilité de champ

La mobilité de champ μ_0 a été extraite à l'aide de la fonction Y : $Y(V_{GS}) = \frac{Id}{(g_m)^{\frac{1}{2}}}$ [12], qui permet à μ_0 d'être extrait comme :

$$\mu_0 = \frac{(dY/dV_G)^2 L}{WC_{ox} V_d} \quad (2)$$

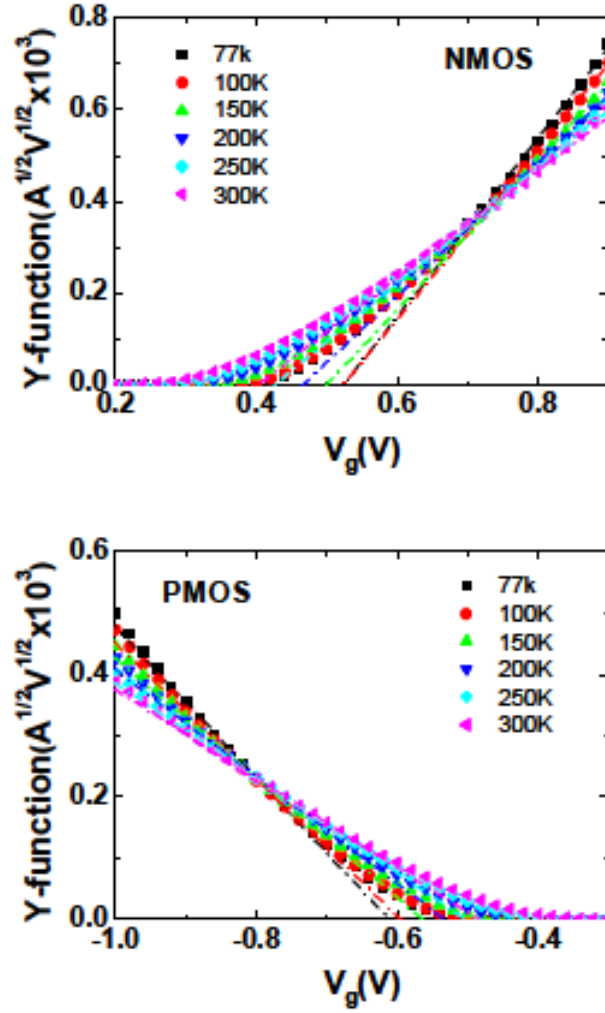


FIG. 6: Courbes $Y(V_{GS})$ typiques pour de nombreuses températures utilisées pour l'extraction de la mobilité de dispositifs MOS n et p ($V_{DS} = 20mV$, $L = 10\mu m$, $W = 1\mu m$). [20]

La figure 6 montre les caractéristiques typiques de $Y(V_{GS})$ obtenues sur des dispositifs à canal long pour différentes températures. On peut noter la bonne linéarité du $Y(V_{GS})$ dans tous les cas.

Les mobilités de champ μ_0 ont ensuite été extraites pour toutes les longueurs de grille allant jusqu'à 30 nm, en fonction de la température, comme illustré à la Figure 7. Pour les dispositifs à canal long, la faible mobilité de champ augmente

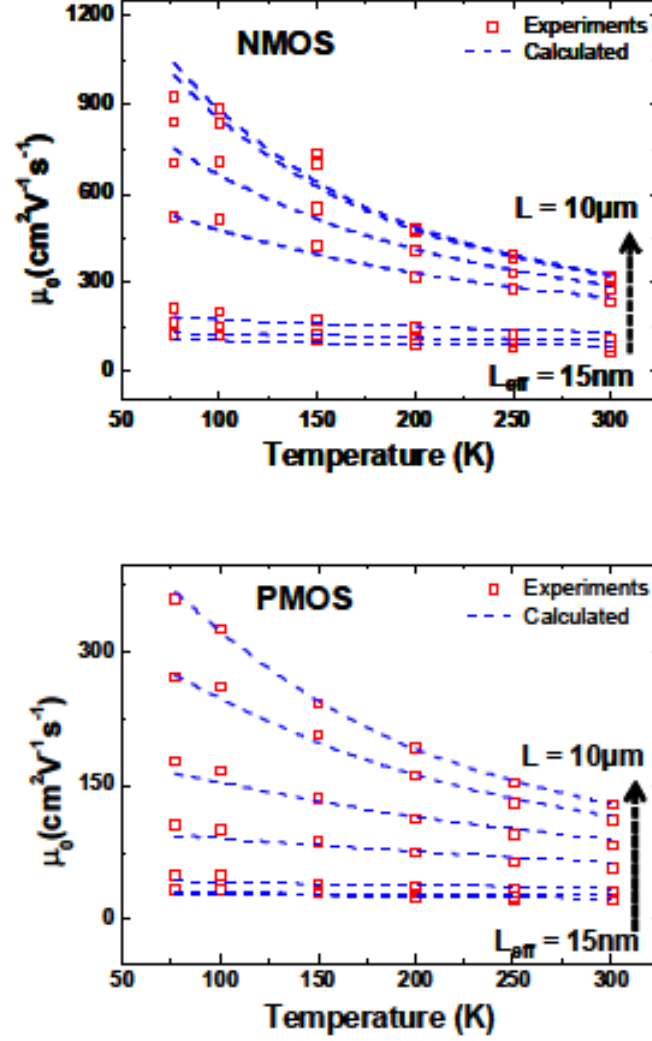


FIG. 7: Variation de la mobilité de champ μ_0 avec la température pour des dispositifs MOS n et p pour de nombreuses longueurs de grille ($V_{DS} = 20mV$, $W = 1\mu m$). [20]

lorsque la température baisse, ce qui peut être interprété par un mécanisme de diffusion de phonons. En revanche, pour de petites longueurs de grille, c'est-à-dire inférieures à 100 nm, la faible mobilité de champ est presque indépendante de la température, ce qui peut être attribué à un défaut neutre de dispersion [21]. Il convient également de noter une forte diminution de la mobilité de champ

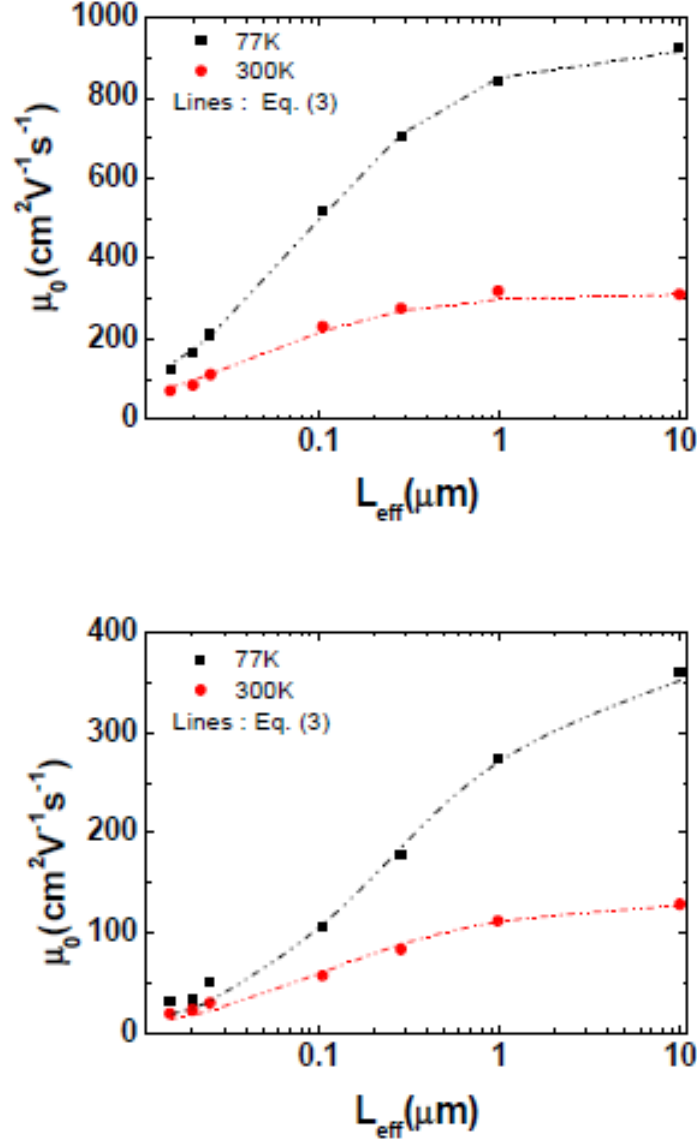


FIG. 8: Variation de la mobilité de champ en fonction de la longueur de grille pour des dispositifs MOS n et p à 77K et 300K ($V_{DS} = 20\text{mV}$, $W = 1\mu\text{m}$) [20]

pour les deux dispositifs MOS n et p lorsque la longueur de la grille est réduite, ce qui indique que les défauts neutres sont plus nombreux dans les petits dispositifs.

Cette caractéristique est mieux observée sur la Figure 8 où la faible mobilité de champ est tracée en fonction de la longueur de canal effective pour 77K et 300K, respectivement, pour les dispositifs MOS n et p. Comme on peut le voir sur cette Figure, la mobilité est réduite d'un facteur 4 à 8 quand on passe d'un dispositif long à un dispositif très court, cela selon la température. Cette dégradation de la mobilité peut être ajustée empiriquement par une expression de la forme:

$$\frac{1}{\mu_0} = \frac{1}{\mu_{0Long}} \left(1 + \frac{L_c}{L}\right) \quad (3)$$

où L_c est une longueur critique (ici 80-100nm) pour laquelle μ_0 est réduite d'un facteur 2. Dans ce contexte, cette longueur représente la distance caractéristique, le long du canal, où les défauts neutres ont une importante contribution. On soupçonne que ces défauts neutres proviennent du processus de formation de la source et du drain [21].

3 Caractérisation à basse température

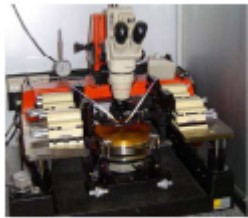
La structure du MOSFET présentée au chapitre 1 est l'objet d'une caractérisation basse température dans ce chapitre. L'objectif est de fournir une meilleure compréhension du comportement de cette structure à basse température et de comment ce comportement diffère de celui à température ambiante. Une fois cette compréhension acquise, les avantages de la basse température par rapport à la température ambiante pourront être révélés dans un but d'optimisation des structures MOSFET dans les circuits RF.

La caractérisation suit une approche classique, commençant par les figures DC de mérite standards, et poursuivant vers une caractérisation analogique. Les figures de mérite conventionnelles RF seront aussi extraites à partir des données mesurées.

La technologie SOI (*Silicon-on-Insulator*) émerge comme la plus mature des solutions pour les applications basses températures dans le domaine de la technologie MOS.

3.1 système de mesures

Toutes les mesures présentées dans ce chapitre ont été acquises en utilisant des mesures sur plaquette. Un analyseur de réseau vectoriel HP8510 XF connecté à une station sonde *Cascade Microtech Summit 9000* a été utilisé pour acquérir les mesures des paramètres S dans une bande de fréquence allant jusqu'à 110 GHz en utilisant des sondes de modèle infini *terre-signal-terre* (GSG). Comme illustré à la Figure 11, deux terres sont utilisées afin de fournir une bonne protection au signal et minimiser les croisements entre le signal et les autres conducteurs. Cela minimise aussi l'inductance de la terre puisque celles-ci sont en parallèle. Toutes les mesures sur plaquettes ont été réalisées avec une source de puissance de -10 dBm.



(a) Sonde utilisée pour les mesures



(b) HP 4145



(c) Anritsu 37369A

FIG. 9: Appareils de mesure utilisés pour la caractérisation DC et RF



FIG. 10: Sonde *infinity* utilisée pour les mesures sur plaquette

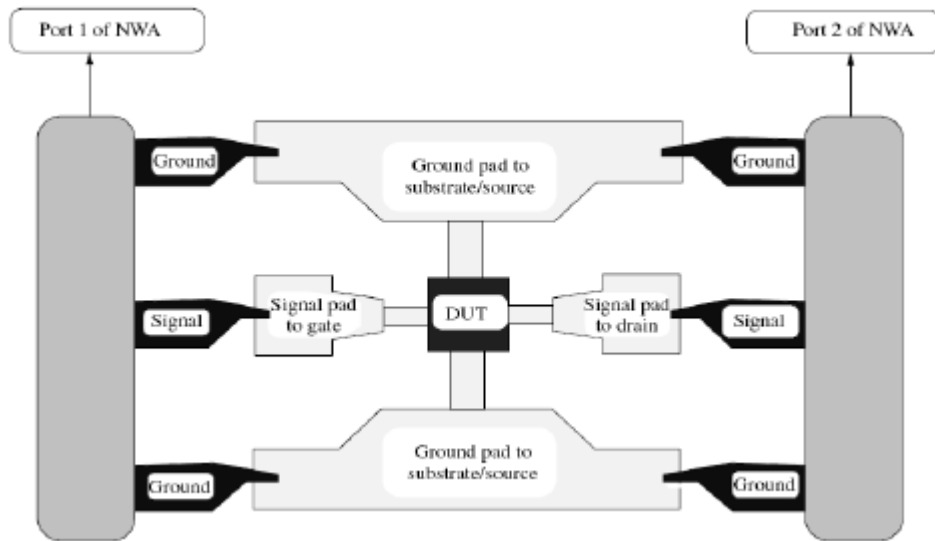


FIG. 11: Illustration de la technique *terre-signal-terre* utilisée dans les mesures RF des systèmes à deux ports ??

3.2 Calibration

L'instrument de mesure parfait n'existe pas. En réponse à cela, une étape de calibration est cruciale. Les différentes techniques de calibration sont supposées permettre de surmonter les effets des erreurs qui sont répétitives et prévisibles au fil du temps et de la température, et donc peuvent être éliminés. D'autres types d'erreurs ne pouvant pas être enlevées existent aussi, celles-ci n'étant ni prévisibles ni répétitives. Heureusement, ces dernières erreurs n'altèrent la précision des mesures que dans une moindre mesure. En général, trois types d'erreurs existent :

- Les erreurs systématiques.
- Les erreurs aléatoires.
- Les erreurs de dérive.

Les erreurs systématiques, comme définies par Agilent Technologies [10],

sont causées par les imperfections de l'équipement de test et par le setup de test. Si ces erreurs ne varient pas dans le temps, elles peuvent être caractérisées à travers une calibration et retirées mathématiquement pendant la procédure de mesure. Les erreurs systématiques rencontrées dans les mesures de réseau sont liées aux fuites de signal, aux réflexions de signal, et aux réponses en fréquence. Il y a trois types d'erreurs systématiques (voir Figure 12) :

- Les erreurs de directivité et de diaphonie liées à une fuite de signal.
- Des inadéquations entre l'impédance de source et de charge liées aux réflexions.
- Les réponses en fréquence causées par le suivi des réflexions et des transmissions à l'intérieur des récepteurs de test.

Le modèle complet *deux-ports* inclut six termes d'erreur pour la direction avant et les mêmes six termes (avec des données différentes) dans la direction inverse, pour un total de douze termes d'erreur. C'est pourquoi la calibration *deux-ports* est souvent désignée comme la méthode de correction d'erreur *douze-termes*.

Les erreurs aléatoires varient de manière aléatoire en fonction du temps. Puisqu'elles ne sont pas prévisibles, elles ne peuvent pas être enlevées par calibration. Les principaux contributeurs de ces erreurs aléatoires sont le bruit des instruments, la répétabilité du *switch*, et la répétabilité du connecteur. Quand on utilise un analyseur de réseau, les erreurs de bruit peuvent souvent être réduites en augmentant la puissance de la source, en réduisant la largeur de bande FI (Fréquence Intermédiaire), ou en utilisant un traçage moyen sur de multiples balayages.

Les erreurs de dérive se produisent quand la performance d'un système de test change après qu'une calibration ait été effectuée. Elles sont principalement causées par la variation de température et peuvent être enlevées avec une calibration additionnelle. Le taux de dérive détermine la fréquence des calibrations additionnelles nécessaires. Cependant, en construisant un environnement de test à température ambiante stable, les erreurs de dérive peuvent habituellement être minimisées. Même si un équipement de test peut être spécifiquement conçu pour opérer entre $0\text{ }^{\circ}\text{C}$ à $+55\text{ }^{\circ}\text{C}$, une bande de température plus contrôlée autour de $+25\text{ }^{\circ}\text{C} \pm 5\text{ }^{\circ}\text{C}$ peut améliorer la précision de mesure (et réduire ou éliminer le besoin d'une calibration périodique) en minimisant les erreurs de dérive.

Typiquement, deux étapes devraient être effectuées avant de commencer une procédure de calibration sur plaquette, celles-ci étant l'ajustement planaire et l'alignement. La première garantit que les trois sommets des sondes (Figure 13a) soient sur le même plan horizontal et est achevée en utilisant un substrat de contact (Figure 13b). Si trois rayures identiques sont produites par un simple contact, alors l'ajustement planaire est achevé (Figure 13c). La seconde est plus

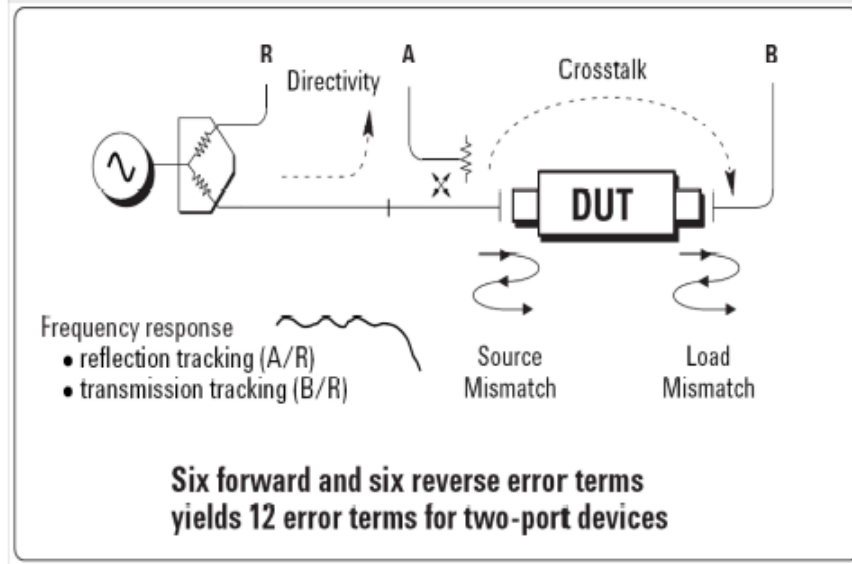


FIG. 12: Erreurs systématiques de mesure [26]

simple et consiste à ajuster les deux sondes exactement face à face (Figure 13d).

La calibration du système pour les mesures sur plaquette est achevée en utilisant un *Substrat Standard d'Impédance* (ISS) (voir Figure 14a) qui peut fournir une haute précision ainsi que des standards de pertes faibles pour les procédures de calibration *deux-ports* tels que *short-open-load-through* (SOLT), *through-reflect-line* (TRL), ou *line-reflect-match* (LRM). La dernière est la méthode utilisée pour ce travail. Dans une première étape, la charge est mesurée (Figure 14b). Ceci assure aussi la position des sondes (coordonnées x et y) qui ne devraient pas être déplacées pendant le reste de la procédure de calibration (afin d'éviter des variations dans les flexions de câble, une diaphonie entre les sommets des sondes, etc). Le *short et open* sont ensuite mesurés en utilisant le *short* sur le ISS (Figure 14c). Enfin, le *Thru* est mesuré (Figure 14d). Les standards en eux-mêmes sont définis dans un fichier de calibration stocké dans l'analyseur de réseau. Après avoir mesuré les structures standards de calibration, l'analyseur de réseau calcule et sauvegarde les 12 termes de correction d'erreur qui seront utilisés plus tard pour corriger les mesures. Si la calibration est couronnée de succès, une mesure *open air* sur les deux ports devrait donner lieu à une variation de la magnitude de S_{11} qui ne serait pas plus importante que ± 0.1 dBm autour de 0 dB.

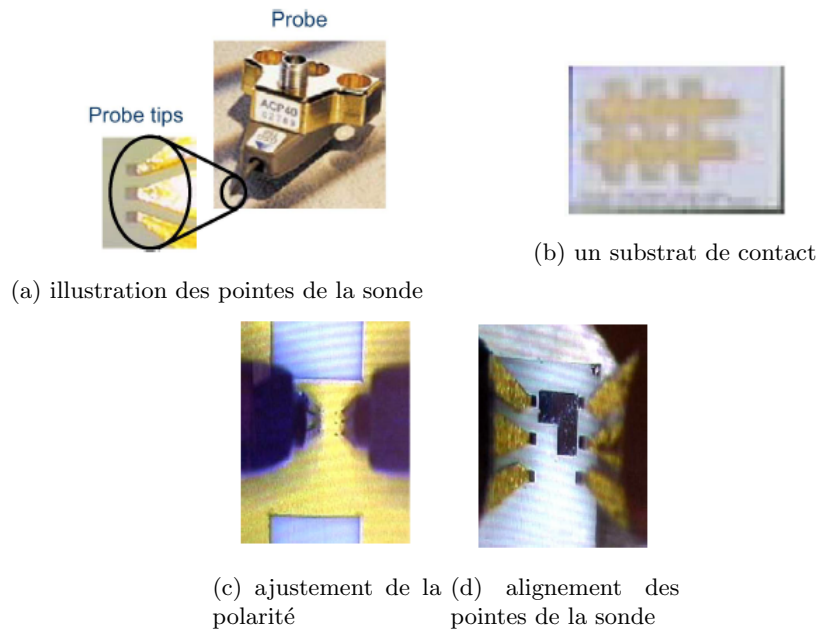


FIG. 13: Etapes de pré-calibration : Planarité et alignement des sondes [5]

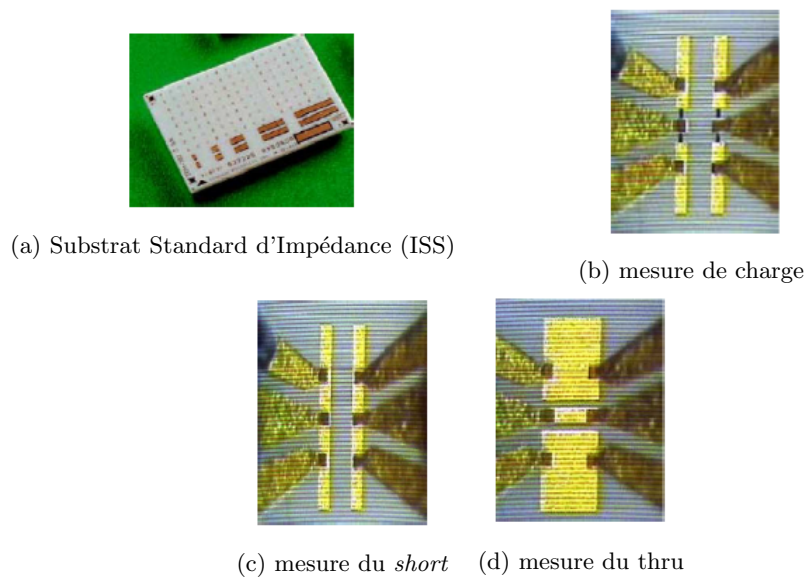


FIG. 14: Etapes de calibration [5]

3.3 Caractérisation DC

Il est important de caractériser correctement un dispositif en dc avant de tester des bandes de fréquences plus hautes. Les figures clés de mérite V_T , $\frac{g_m}{I_{DS}}$, $\frac{I_{ON}}{I_{OFF}}$, g_D et V_{EA} présentées dans cette section sont basées sur des données mesurées à température ambiante et à basse température.

3.3.1 La tension de seuil

La définition et l'extraction de la tension de seuil a été pendant un long moment un sujet de désaccord entre les auteurs de la littérature. C'est en effet un point de polarisation très difficile à fixer, et il devient de plus en plus crucial à mesure que les applications tendent à opérer près/en-dessous de ce point critique.

Un fait certain sur le fonctionnement du transistor MOSFET est la condition de *pinch-off*. En dessous de ce point, le canal du MOSFET opère comme une résistance linéaire où le courant passant de la source au drain I_{DS} est directement proportionnel à la polarisation de drain V_{DS} . La résistance de canal est modulée à travers la tension de grille V_{GS} . L'interaction entre les champs électriques verticaux et horizontaux, qui résultent de V_{GS} et V_{DS} respectivement, résulte en un amincissement du canal près du côté du drain. A une certaine valeur de V_{DS} , pour une polarisation de V_{GS} fixée, l'épaisseur de canal disparaît, ou tend vers zéro, du côté du drain. C'est le point de *pinch-off*, ou le point de saturation, qui est marqué par $V_{DS,sat}$. Quand V_{DS} augmente, ce point de canal d'épaisseur nulle se déplace de la région de diffusion de drain vers la source. Néanmoins, le potentiel de ce point reste toujours $V_{DS,sat}$. Par conséquent, la quantité de courant stimulée par la différence de potentiel $V_{DS,sat}$ est essentiellement constante. Les électrons vont se déplacer à travers la région de *non-canal* comme ils le font à travers la base dans un BJT. Le canal n'est plus une résistance linéaire où le courant serait directement proportionnel à la tension de drain. Par conséquent, deux modes distincts d'opération sont définis pour le MOSFET; la région linéaire et la région de saturation, et la frontière entre ces deux modes étant le point de *pinch-off*.

De fait, une autre frontière existe, et celle-ci est plus compliquée à définir. C'est la frontière entre les états OFF et le ON (linéaire) du transistor. La tension de seuil devrait être le point à partir duquel le transistor commence à être un conducteur de courant, ou en d'autres mots, le point à partir duquel le canal est créé, d'où le nom *seuil*. Le meilleur moyen pour correctement définir cette frontière est de revenir à la physique du transistor MOS.

La tension de seuil d'un MOSFET de canal n est donnée par

$$V_T \cong \phi_{MS} + 2\psi_F - \frac{Q_{ox}}{C_{ox}} - \frac{Q_D}{C_{ox}} \quad (4)$$

où ϕ_{MS} , ψ_F , Q_{ox} , Q_D et C_{ox} sont respectivement la différence de travail entre métal et semi-conducteur, le potentiel de Fermi, la densité de charge dans l'oxide de grille, la charge de déplétion contrôlée par la grille, et la capacité d'oxide de grille. L'équation (4) est valide pour les dispositifs Partiellement-Appauvris où

$$Q_D = qN_A X_{D_{max}} \quad (5)$$

où $X_{D_{max}}$ est la largeur maximale de déplétion et est donnée par

$$X_{D_{max}} = \sqrt{\frac{4\epsilon_{Si}\psi_F}{qN_A}} \quad (6)$$

où ϵ_{Si} est la permittivité du silicium, N_A est la concentration en dopage, et q est la charge de l'électron.

Si un poly-silicium N^+ est pris en compte, la valeur de la différence de travail est donnée par

$$\phi_{MS} = -\frac{E_g}{2} - \psi_F \quad (7)$$

avec

$$\psi_F = \frac{kT}{q} \ln\left(\frac{N_A}{n_i}\right) \quad (8)$$

où E_g , T , et n_i sont respectivement la bande interdite du silicium, la température, et la concentration de porteurs intrinsèques du silicium.

La dépendance en température de la concentration de porteurs intrinsèques, n_i , est donnée par [25]

$$n_i = 3.9 \times 10^{16} T^{\frac{3}{2}} e^{-\frac{E_g}{2kT}} \quad (9)$$

La dépendance en température de la tension de seuil peut être obtenue à partir de (4) et (8). De là, pour les dispositifs SOI à film épais [11],

$$\frac{dV_T}{dT} = \frac{d\psi_F}{dT} \left[1 + \frac{q}{C_{ox}} \sqrt{\frac{\epsilon_{Si} N_A}{kT \ln(N_A/n_i)}} \right] \quad (10)$$

avec

$$\frac{d\psi_F}{dT} = 8.83 \times 10^{-5} [\ln(N_A) - 38.2 - \frac{3}{2}(1 + \ln(T))] \quad (11)$$

Dans le cas des dispositifs Complètement-Déplété (FD) à film-fin, Q_D a une valeur qui va de $qN_A t_{Si}$ à $qN_A t_{Si}/n$, avec t_{Si} l'épaisseur du film de silicium, qui est indépendante de la température, et la valeur de n qui va de 1 à 2, dépendant de la charge de l'oxide et les conditions de polarisation arrières. Si n est supposée indépendante de la température, alors Q_D est indépendante de la température. Et puisque Q_{ox} et E_g sont aussi supposées indépendantes de la température, on a, grâce à (4)

$$\frac{dV_T}{dT} = \frac{d\phi}{dT} \quad (12)$$

Dans ce travail, V_T est extraite à partir des courbes $I_{DS} - V_{GS}$ mesurées dans la région linéaire ($V_{DS} = 50mV$) en utilisant la méthode de la dérivée seconde. La dérivée seconde du courant de drain par rapport à la tension de grille est calculée $\frac{d^2 I_{DS}}{dV_{GS}^2} = \frac{dg_m}{dV_{GS}}$. Le maximum de la dérivée seconde est ensuite trouvé et la V_{GS} correspondante est prise comme étant V_T (voir Figure 15).

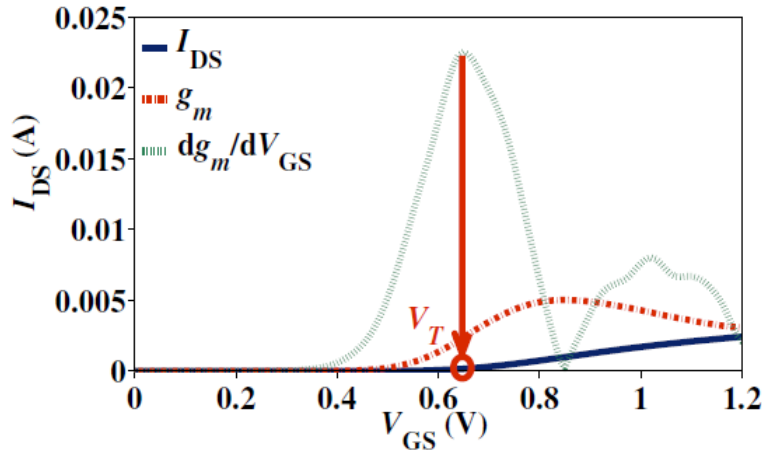


FIG. 15: illustration de la méthode de la dérivée seconde d'extraction du V_T [10]

La V_T extraite en fonction de la température est montrée en Figure 16. On peut voir que la tension de seuil augmente presque de façon linéaire à mesure que la température diminue.

3.3.2 Les caractéristiques Courant-Tension

Les caractéristiques courant-tension $I_{DS} - V_{GS}$ sont un élément essentiel à étudier dans un transistor puisque celui-ci est principalement une *résistance de transfert*. Il y a énormément de littérature publiée pour décrire et modéliser les caractéristiques $I_{DS} - V_{GS}$ et $I_{DS} - V_{DS}$ d'un transistor, que ce soit pour les PD SOI ou les FD SOI ou d'autres variations de structures de transistor. Plus de détails et références à d'autres ressources peuvent être trouvés en [[6],[25],[17],[27],[23]]. Comme on peut le voir sur la Figure 17, la baisse de température conduit à une augmentation significative du courant de drain.

Transconductance maximale La transconductance maximale d'un transistor est une indication de la vitesse à laquelle le transistor peut opérer. Même si extraite par des mesures dc, qui souffrent d'effets d'auto-échauffement, elle

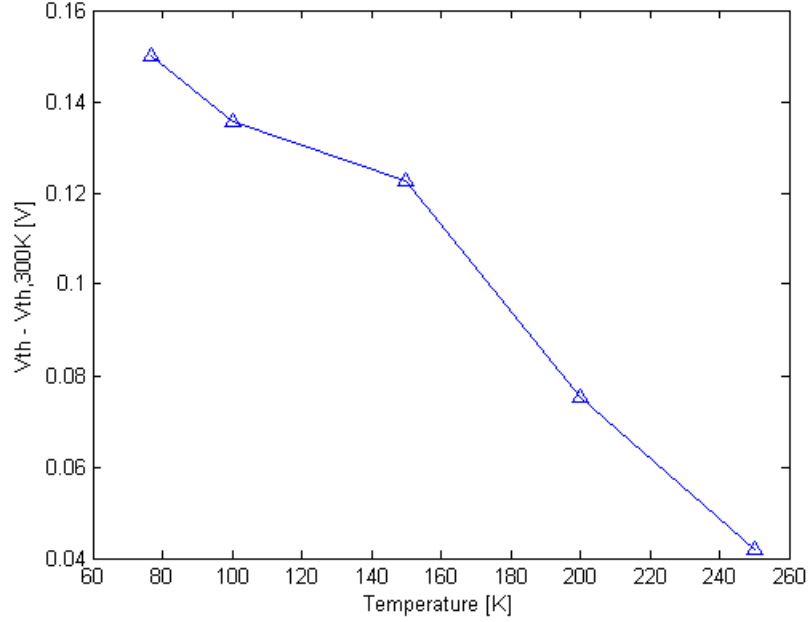


FIG. 16: Variation de V_T en fonction de la température pour $L = 25$ nm

constitue une bonne mesure permettant de prédire le comportement de la fréquence de coupure du gain en courant. Plus tard dans ce chapitre, le maximum de transconductance basé sur des mesures RF sera présenté, et à ce point, cela présente un intérêt de comparer les deux comportements (à partir des mesures DC et RF) et évaluer à quel point un dispositif souffre d'effets d'auto-échauffement. Le comportement de la transconductance maximale en fonction de la température est aussi de grand intérêt du fait de son impact direct sur le comportement de la fréquence de coupure.

Le comportement de g_m maximale en fonction de la température en condition de saturation est montré en Figure 18.

3.3.3 La pente de sous-seuil

Dans les circuits digitaux, la vitesse de switch entre l'état ON et l'état OFF et vice versa est une figure critique de mérite. Afin de quantifier cette figure de mérite, il est suffisant de regarder le courant de drain dans la région de sous-seuil. Si le courant de sous-seuil est tracé contre la tension de grille sur une échelle logarithmique, on verra apparaître une ligne droite allant de la valeur du courant ON jusqu'au plateau du courant OFF. La vitesse (par définition) de cette transition est calculée en prenant la pente de cette ligne droite. Cela a

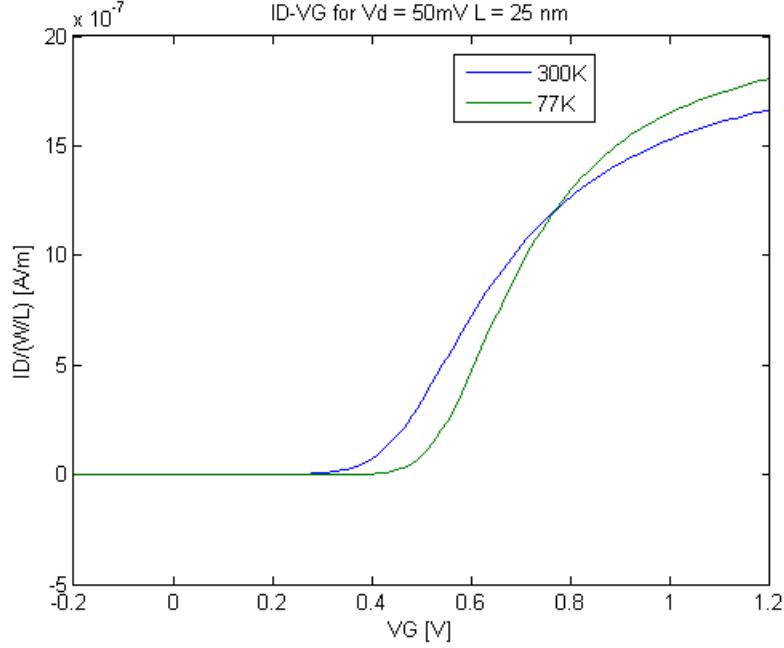


FIG. 17: Courbes $I_{DS} - V_{GS}$ caractéristiques en régime linéaire ($V_{DS} = 50mV$) pour $L = 25$ nm

plus de sens pour un concepteur de circuits digitaux de représenter cette vitesse en termes de la quantité de volts (ou milli-volts) de polarisation de grille qui est nécessaire afin de switcher le transistor OFF ou ON. Pour cela, au lieu de prendre la dérivée $\frac{dI_{DS}}{dV_{GS}}$, on prend $\frac{dV_{GS}}{dI_{DS}}$ ou, puisque nous travaillons dans un environnement logarithmique, $\frac{dV_{GS}}{d\log(I_{DS})}$. C'est pour cette raison que l'on appelle cela la *pente de sous-seuil* ou *oscillation de sous-seuil*. Pour la simplicité, on utilisera *pente de sous-seuil*, donnée par :

$$S = \frac{dV_{GS}}{d\log(I_{DS})} \quad (13)$$

Une dérivation détaillée de la pente de sous-seuil est présentée en [6] pour le FD SOI. En essence, après une simple approximation, S est généralement exprimée par :

$$S = \frac{kT}{q} \ln(10) \frac{dV_{GS}}{d\psi_S} \quad (14)$$

Dans un FD SOI, la variation du potentiel de surface, en fonction de la polarisation de grille appliquée, est contrôlée par le réseau de capacités montré Figure 19. Cela résulte en une expression de $\frac{dV_{GS}}{d\psi_S}$:

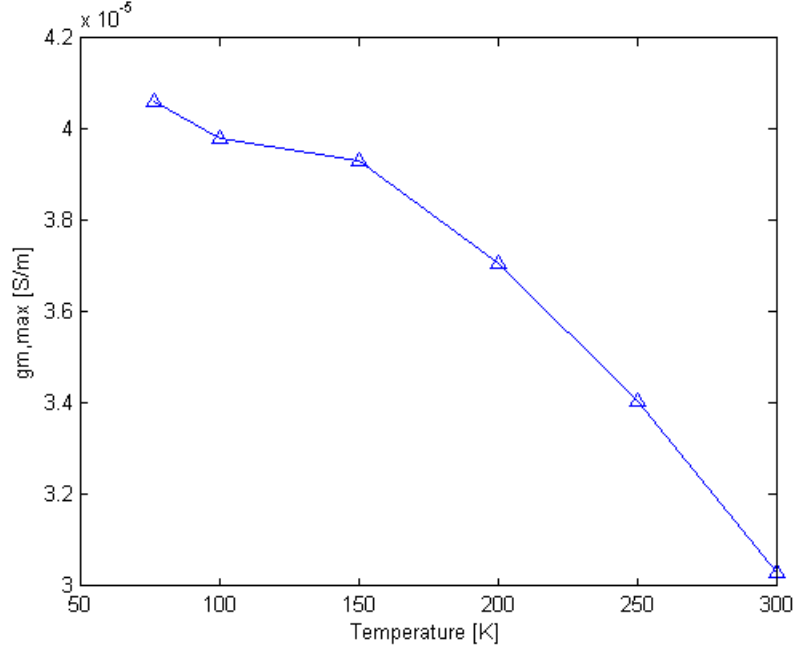


FIG. 18: $g_{m,max}$ en fonction de la température à $V_{DS} = 1V$ pour $L = 25$ nm

$$\frac{dV_{GS}}{d\psi_S} = 1 + \frac{1}{C_{ox1}} \left(\frac{C_{si}C_{ox2}}{C_{si} + C_{ox2}} \right) \quad (15)$$

Et puisque dans le FD SOI, $C_{ox2} \ll C_{ox1}$ et $C_{ox2} \ll C_{si}$, $\frac{dV_{GS}}{d\psi_S}$ tend vers l'unité, et alors

$$S = \frac{kT}{q} \ln(10) \quad (16)$$

Ceci est la limite théorique minimum de S , i.e. 60 mV/dec. Les dispositifs FD SOI sont d'habitude très proches de cette limite (très légèrement au dessus). Si un dispositif comporte une $S = 60$ mV/dec, cela signifie qu'il a seulement besoin d'une variation de 60 mV en V_{GS} pour diminuer le courant de drain d'une decade (ou 10 fois). Cela indique aussi un couplage parfait entre la polarisation de la tension de grille V_{GS} et le potentiel de surface ψ_S ([6], p. 196).

La variation de la pente de sous-seuil avec la température était traditionnellement considérée comme non-linéaire pour les dispositifs SOI à film épais et linéaire pour les dispositifs SOI à film fin, cela basé sur une approximation de déplétion et sur le modèle du cahier des charges. Cependant, Rudenko *et al.* ont montré en 2000 que l'augmentation des densités de charge des porteurs libres avec la température résulte en une augmentation de la capacité effective de substrat et proposèrent alors un modèle corrigé dans lequel la variation de la

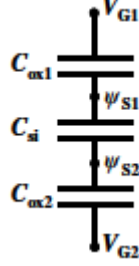


FIG. 19: Réseau de capacités équivalent [2]

pente de sous-seuil avec la température est fondamentalement non-linéaire pour les dispositifs SOI à film fin [24]. Rudenko a introduit un facteur de correction n qui prend en compte l'effet de la diminution du champ électrique de surface avec la température et ainsi que C_{stot} , la capacité différentielle de surface totale, qui inclut la contribution des porteurs libres. Rudenko *et al.* suggèrent que le modèle classique devrait être valide jusqu'à 150°C avant qu'il échoue et que le dispositif à film fin devrait suivre un comportement non linéaire suivant :

$$S = \frac{nkT}{q} \ln(10) \left(1 + \frac{C_{stot}}{C_{ox}}\right) \quad (17)$$

3.4 Ratio I_{ON}/I_{OFF}

Cette figure de mérite est très importante pour les concepteurs de circuits digitaux. Il est connu que les dispositifs SOI fournissent un ratio I_{ON}/I_{OFF} plus important que les dispositifs *bulk*, et cela est dû à la plus petite surface des jonctions de drain et de source dans le SOI comparé au dispositif *bulk* (par un facteur allant de 15 à 100, dépendant des spécifications du design) [6], et plus important, la plus large de toutes les jonctions, la jonction de puits, est totalement absente des SOI CMOS. Cela contribue à une réduction drastique de la consommation globale en veille des circuits SOI comparé aux circuits *bulk*.

Dans les dispositifs fortement dopés, l'évaluation du ratio I_{ON}/I_{OFF} avec la température est déterminé par les variations avec la température de la tension de seuil, de la pente de sous-seuil, et du courant OFF. D'un autre côté, dans les dispositifs légèrement dopés, elle est dépendante de la tension de seuil et des variations de la pente de sous-seuil seulement. Habituellement, on peut s'attendre à avoir une plus grande dépendance en température sur le ratio I_{ON}/I_{OFF} pour les dispositifs avec des plus importantes tensions de seuil.

Les ratios I_{ON}/I_{OFF} et I_{OFF} sont montrés Figure 21. Les mesures de I_{OFF} sont prises à $V_{GS} = 0V$ et de I_{ON} à $V_{GS} = V_{DD}$ avec $V_{DS} = V_{DD}$ dans les deux cas. On peut observer que le ratio se dégrade fortement à mesure que la température augmente.

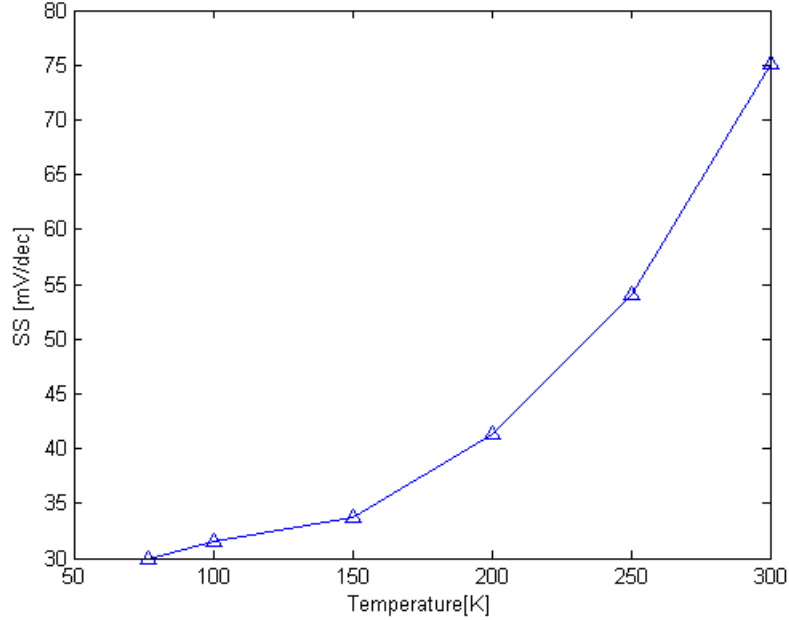


FIG. 20: SS pour $L = 25$ nm en régime linéaire ($V_{DS} = 50mV$). Comme on peut le constater, SS augmente fortement avec la température.

3.5 Caractérisation analogique

Un ingénieur qui veut concevoir en analogique doit tenir compte de trois paramètres : le ratio de la transconductance sur le courant de drain, la tension d'Early, et le gain intrinsèque. Fondamentalement, ces trois paramètres constituent les trois sommets d'une même triangle, puisqu'ils sont tous les trois liés par le gain en boucle ouverte basse fréquence A_{v0} [7] :

$$A_{v0} = \frac{g_m}{g_D} = \frac{g_m}{I_{DS}} V_{EA} \quad (18)$$

Pour des applications analogiques, un transistor est toujours opéré en saturation, ce qui entraîne que l'extraction de ces figures de mérite sera présentée ci-après en régime de saturation. Deux autres facteurs sont également importants en design de circuit analogiques : la capacité de grille intrinsèque et la performance de bruit du transistor [8]. La capacité de grille intrinsèque sera présentée au chapitre 3.

3.5.1 Le ratio de transconductance sur le courant de drain $\frac{g_m}{I_{DS}}$

Il est bien connu que la performance analogique maximale d'un dispositif MOSFET est obtenue à la condition d'obtenir un maximum de g_m/I_{DS} [8]. Cette

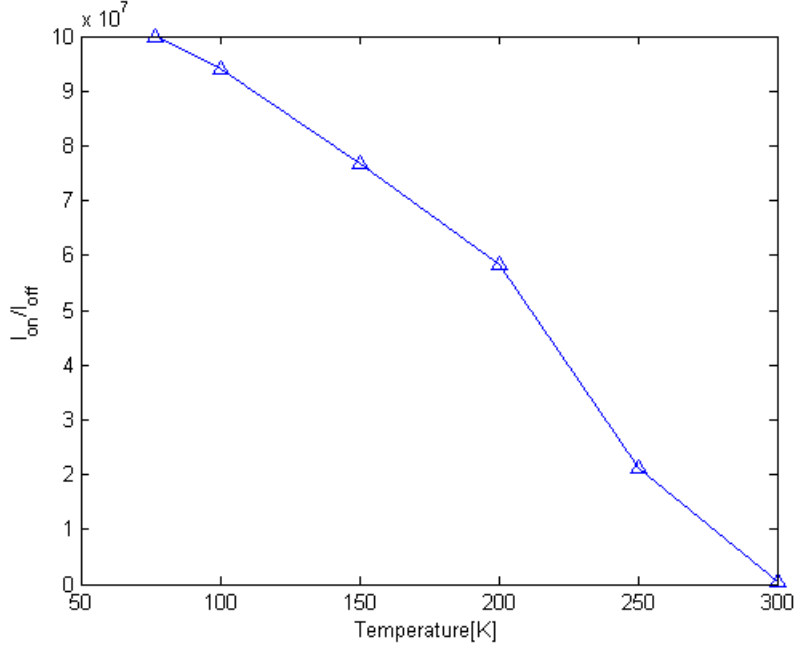


FIG. 21: Variation de $\frac{I_{ON}}{I_{OFF}}$ avec la température pour $L = 25$ nm

condition est connue pour apparaître en faible inversion chez les MOSFETs [8]. En faible inversion, g_m/I_{DS} peut être calculé à partir de [8]:

$$\frac{g_m}{I_{DS}} = \frac{dI_{DS}}{I_{DS}dV_{GS}} = \frac{\ln(10)}{S} = \frac{q}{nkT} \quad (19)$$

tandis que en forte inversion, g_m/I_{DS} est calculé à partir de [8]:

$$\frac{g_m}{I_{DS}} = \sqrt{\frac{2\mu C_{ox}W/L}{nI_{DS}}} \quad (20)$$

Théoriquement, le coefficient d'effet *low-body* n des dispositifs SOI résulte en un comportement presque idéal de g_m/I_{DS} (les valeurs maximales étant atteignables physiquement à température ambiante). Cela est très fortement corrélé à la pente de sous-seuil S qui elle aussi dépend de n .

Dans le cas idéal, une S de 60 mV/dec correspond à un g_m/I_{DS} de $38V^{-1}$ [28].

Le ratio g_m/I_{DS} de ce travail est représenté Figure 22 en condition de saturation $V_{DS} = V_{DD}$. On observe qu'une augmentation de la température a tendance à diminuer la valeur du ratio g_m/I_{DS} .

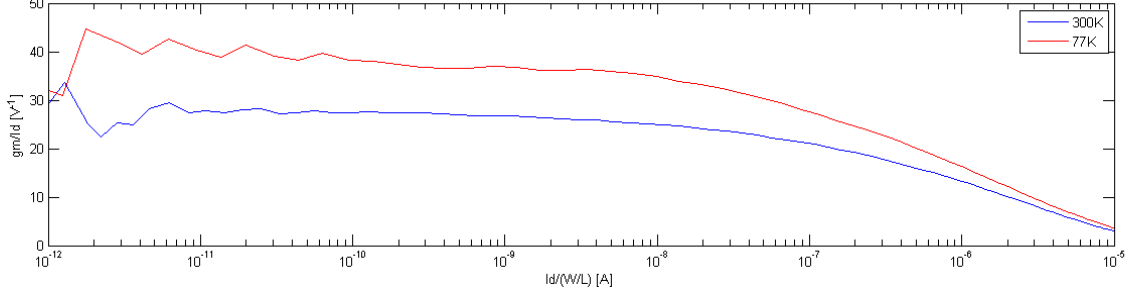


FIG. 22: g_m/I_{DS} en fonction du courant normalisé $I_{DS}/(W/L)$

3.5.2 Tension d'Early V_{EA}

L'effet d'Early a été à l'origine défini en 1952 par J. M. Early pour les transistor à jonction (comme les BJTs) pour tenir compte d'un manque de saturation dans les caractéristiques de sortie de l'émetteur commun ([23], [9]). Dans les MOSFETS, l'effet d'Early est aussi présent là où le courant de drain ne sature pas à de hautes valeurs de tension de drain, cela donna lieu à certains effets indésirables. À des valeurs élevées de tension de drain, la largeur de déplétion de jonction X_D (de la jonction du corps de drain) augmente, ce qui réduit la longueur effective du canal électrique. Il en résulte une augmentation du gain bipolaire parasite et une possibilité que le dispositif puisse souffrir de certains désavantages, un de ceux-ci étant une plus grande vulnérabilité au *Soft Error Rate* (SER) [3]. Le SER est le taux d'échec d'un tableau qui est dû au rayonnement alpha et cosmique, communément mesuré en nombre d'échecs par millier d'heures par millier de bits.

La tension de Early V_{EA} est une mesure de l'effet d'Early, et est calculée à partir de l'intersection de l'axe x avec la ligne extrapolée du courant de drain tirée comme fonction de la tension de drain. Plus haute est la valeur absolue de V_{EA} (puisque par définition sa valeur est négative pour le MOSFETs de type n), meilleure sera la performance du dispositif pour des applications analogiques.

Selon ([8], [1]), V_{EA} est très dépendante des conditions de polarisation et des paramètres technologiques. En cela, elle peut être utilisée comme un indicateur de certains phénomènes physiques. Une tension V_{EA} qui passe de la faible inversion à la forte inversion indique une amélioration du couplage de grille verticale et en même temps une influence amoindrie du drain latéral sur le courant de drain. De plus, l'augmentation de V_{EA} (dans les FD SOI en comparaison avec les dispositifs *bulk*) montre une pénétration réduite de la région de déplétion de drain dans la canal.

Dans la littérature, V_{EA} est soit calculée à partir de l'extrapolation du courant de drain jusqu'à ce qu'il croise le coté négatif de l'axe de la tension de

drain, ou en divisant le courant de drain I_{DS} par la conductance de sortie g_D à la condition que $V_{GS} = V_{DS}$. La seconde méthode est utilisée dans ce travail pour $L = 25\text{ nm}$. La première méthode devrait être utilisée pour les transistors plus longs ($L > 50\text{ nm}$) ou ceux n'étant pas ultra-fins, en raison de la présence de l'effet de *kink* dans les dispositifs FD SOI. Heureusement, pour les transistors ultra-fins ($< 10\text{ nm}$) ou très courts ($L < 50\text{ nm}$), le kink est totalement absent en raison de l'effet de super-couplage [13]. La Figure 23 montre une illustration de la seconde méthode d'extrapolation. La ligne pointillée (la ligne d'extrapolation) est extrapolée à partir de l'intervalle d'extrapolation et est étendue jusqu'à ce qu'elle croise l'axe négatif V_{DS} à la valeur de $-V_{EA}$.

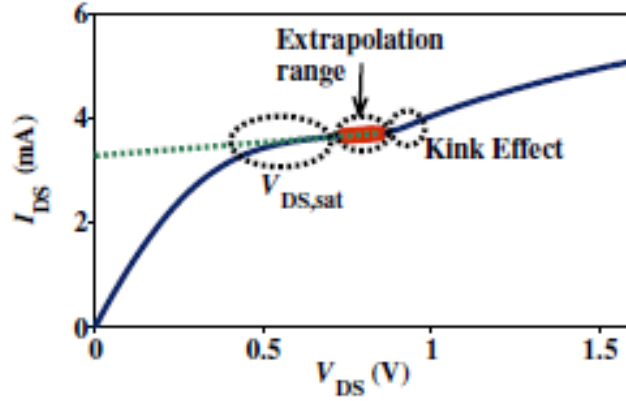


FIG. 23: Illustration de la méthode extrapolée d'extraction de la tension d'Early V_{EA} [10]

3.6 Caractérisation RF

Le comportement RF des SOI MOSFETs à basse température n'a pas reçu la même attention dans la littérature que le comportement DC à haute température. Dans les sections suivantes, le comportement RF basse température sera étudié en détail sur base de données mesurées. Un Analyseur de réseau vectoriel deux-ports VNA Anritsu 37369A opérant jusqu'à 40 GHz et une sonde-Z Sol-Signal-Sol (GSG) haute fréquence ont été utilisés pour les mesures RF tandis que la polarisation DC a été réalisée à l'aide d'un analyseur de paramètres HP 4145B. Une structure factice *OPEN* est mesurée afin de réaliser une étape de dé-enchâssement et ainsi enlever les effets des capacités du pad sur les côtés de grille et de drain, celles-ci étant respectivement C_{pg} et C_{pd} . L'effet des inductances d'entrée L_g , L_d et L_s est négligeable, cela étant dû aux lignes d'accès assez courtes et aux fréquences relativement basses auxquelles l'extraction est réalisée (entre 1 et 4 GHz). Par conséquent, le plan de référence pourrait être représenté comme celui entre les pointillés du circuit petit-signal équivalent montré Figure 31. Ce sont les frontières physiques du transistor. Cependant, ces frontières phy-

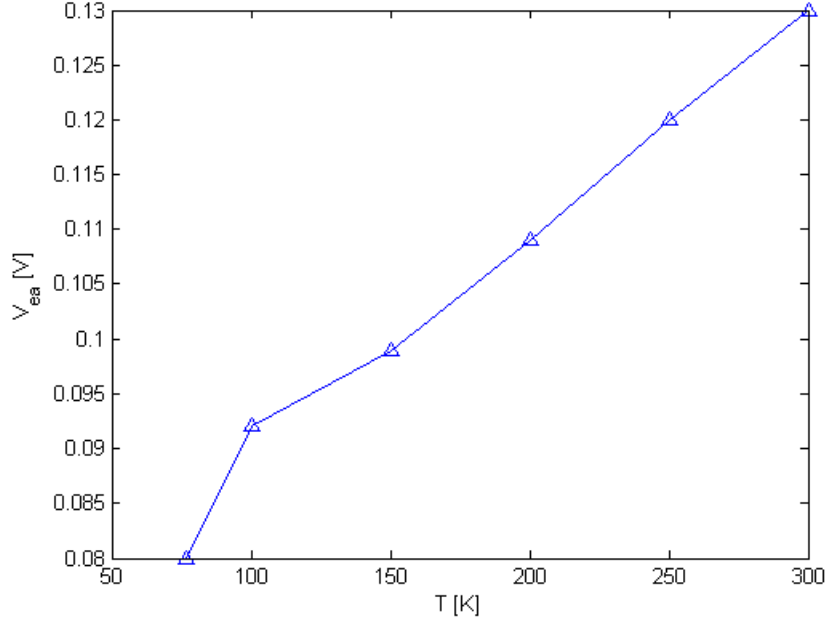


FIG. 24: Variation de V_{EA} selon la température pour $L = 25$ nm

siques incluent deux types d'éléments, ceux en dehors des pointillés, appelés les éléments extrinsèques et ceux à l'intérieur des pointillés, appelés les éléments intrinsèques. La distinction entre éléments intrinsèques et extrinsèques dépend de leurs propriétés plutôt que de leur position dans l'espace, ou pour le dire autrement, les éléments sont classés selon leur comportement spécifique en fonction de la polarisation plutôt que selon leur position en fonction d'une disposition physique sous-jacente intérieure ou extérieure à une certaine frontière [18]. Un élément extrinsèque dépend de la géométrie d'un dispositif et est indépendant des conditions de polarisation sur un transistor. D'un autre côté, un élément intrinsèque est dépendant des conditions de polarisation et de la taille de la zone active.

Dans cette section nous verrons les principales figures de mérites en caractérisation RF, f_t et f_{max} , qui ont été extraites à partir des données mesurées et après l'étape de dé-enchâssement, et cela sans faire de distinction entre les effets intrinsèques et extrinsèques. Les éléments intrinsèques et extrinsèques seront l'objet d'une étude dans le chapitre suivant.

3.7 Fréquences de coupure

Le comportement RF d'un transistor est généralement caractérisé par trois fréquences de coupure : la fréquence de coupure du gain de courant f_T , la fréquence de coupure du gain unilatéral f_{max} , et la fréquence de coupure du gain maximum disponible f_{MAG} . La fréquence de coupure est le point de fréquence où le gain correspondant est égal à l'unité [8]. Les deux premières fréquences de coupure sont considérées et extraites dans cette section pour les basses températures et les températures ambiantes.

3.7.1 Fréquence de coupure de gain de courant f_T

La fréquence de coupure de gain de courant f_T d'un transistor (aussi connue sous le nom de fréquence de transition) caractérise le point à partir duquel le gain en courant du transistor disparaît. Par conséquent, f_T caractérise le comportement haute fréquence du transistor. Elle est extraite d'une intersection de l'axe x d'une ligne extrapolée de -20 dB/dec sur la courbe du gain de courant $|H_{21}|$ en fonction de la fréquence (voir Figure 26). Le gain de courant peut aussi être calculé à partir des paramètres S mesurés :

$$|H_{21}| = \left| \frac{-2S_{21}}{(1 - S_{11})(1 + S_{22}) + S_{12}S_{21}} \right| \quad (21)$$

En se basant sur le circuit équivalent petit-signal, la fréquence de coupure de gain de courant f_T peut être obtenue de façon analytique à partir de :

$$f_T = \frac{R(Y_{21})}{2\pi I(Y_{11})/\omega} \quad (22)$$

où $R(Y_{21})$ est principalement fonction de la transconductance de grille et $I(Y_{11})/\omega$ est directement corrélée à la capacité totale de grille. Dans une forme simplifiée, f_T pourrait être donnée par

$$f_T = \frac{g_m}{2\pi C_{gg}} \quad (23)$$

où C_{gg} est la capacité totale de grille ($C_{gg} = C_{gs} + C_{gd}$).

3.7.2 Fréquence maximum d'oscillation f_{max}

La fréquence maximum d'oscillation est une figure importante de mérite pour les designers de circuits RF. Elle est définie comme la fréquence de coupure du gain unilatéral ULG et peut être exprimée en termes de f_T comme suit [23]:

$$f_{max} = \frac{f_T}{2\sqrt{2\pi f_T R_g C_{gd} + G_{dsi}(R_g + R_s + R_{gsi})}} \quad (24)$$

Par conséquent, si f_T est indépendante des résistances extrinsèques, f_{max} est au contraire très dépendante de ces résistances.

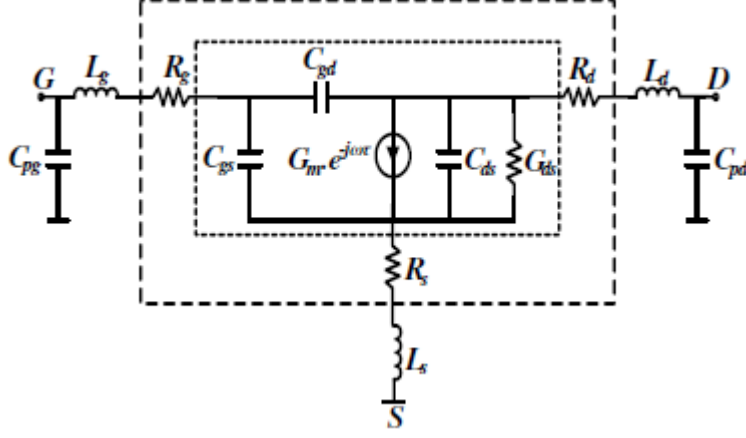


FIG. 25: Circuit petit-signal équivalent d'un MOSFET incluant les effets des tampons de mesure

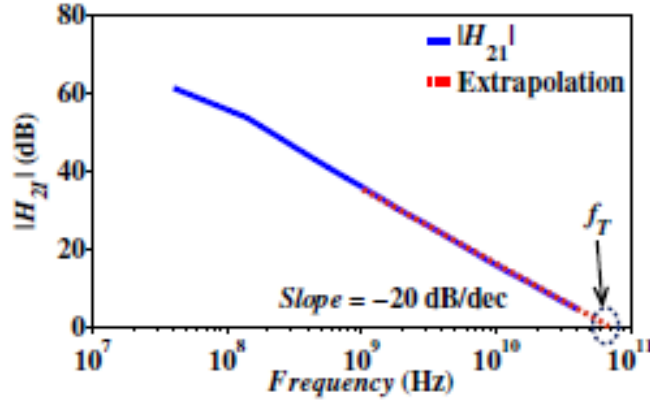


FIG. 26: Illustration de l'extraction de f_T à partir des paramètres S mesurés après le calcul du gain en courant $|H_{21}|$ [10]

Comme le montrent les Figures 27,28,29 et 30, la réduction de L (60 à 25 nm) et la réduction de T (300 à 77 K) se traduit par une forte amélioration de f_T et f_{max} d'environ 85 et 30 GHz, respectivement. Cependant, on peut voir sur les Figures 27 et 29 que les courbes f_T et f_{max} quand $L = 25$ nm ont un maximum à $\sim 100K$ et que par conséquent leur amélioration à 77 K est atténuée.

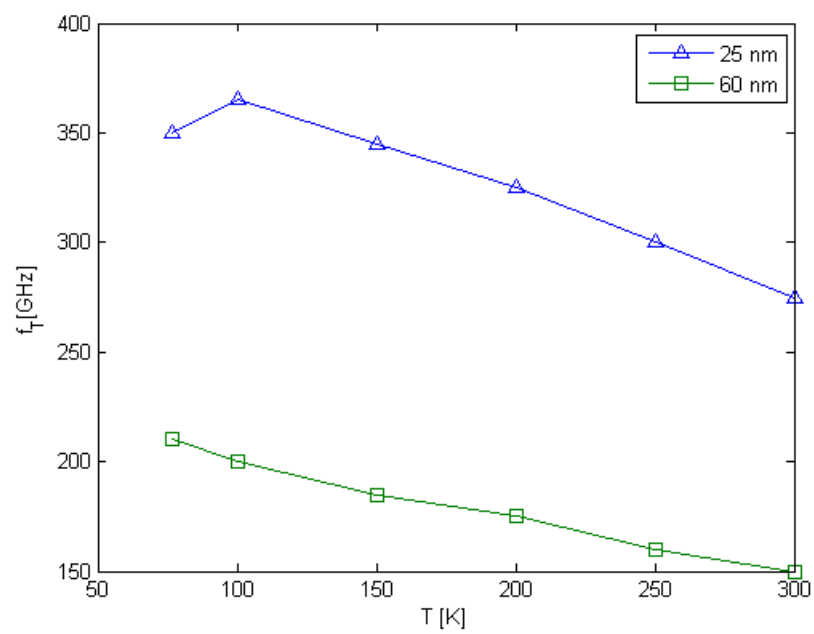


FIG. 27: Fréquence de coupure en fonction de la température

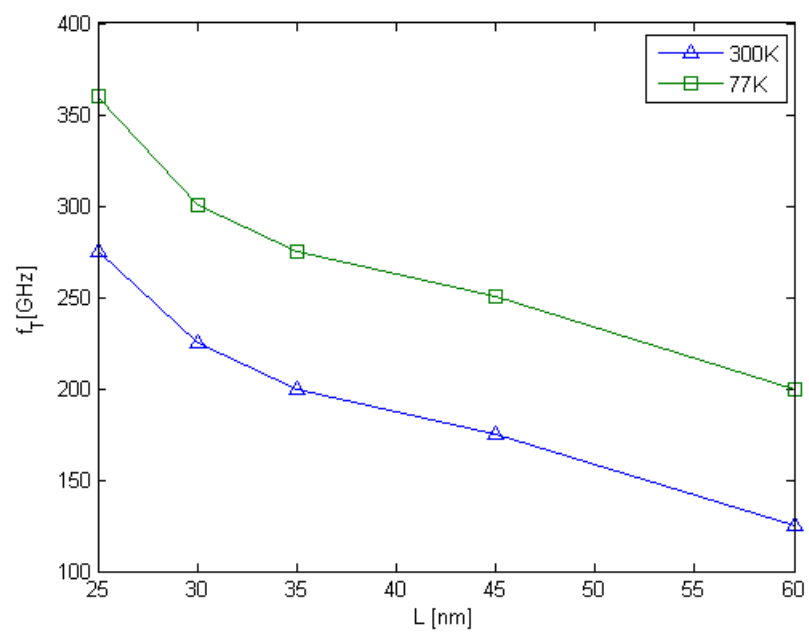


FIG. 28: Fréquence de coupure en fonction de L

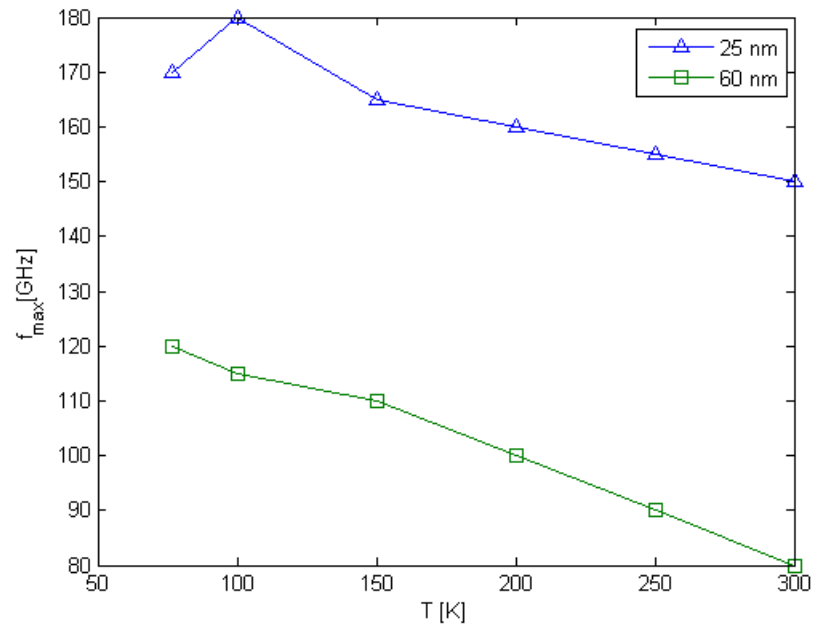


FIG. 29: Fréquence d'oscillation maximale $f_{\max}$ en fonction de la température

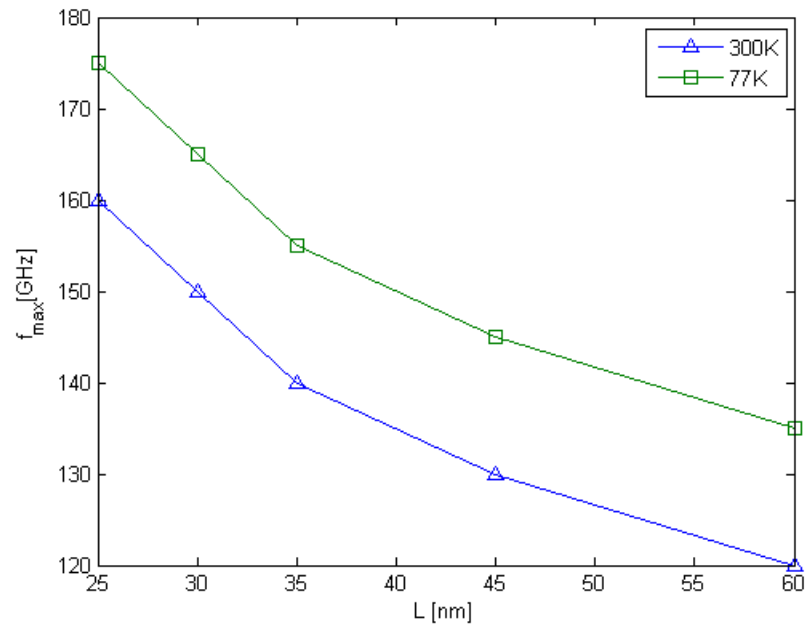


FIG. 30: Fréquence d'oscillation maximale f_{max} en fonction de L

4 Extraction des éléments du circuit petit signal équivalent à partir des paramètres S mesurés

Ce chapitre met l'accent sur l'acquisition du circuit petit signal équivalent du SOI MOSFET par le calcul des éléments du circuit petit signal. Cette partie est essentielle pour comprendre l'effet qu'a la différence de température sur les éléments petit signal du circuit. Premièrement, le circuit petit signal équivalent d'un SOI MOSFET est présenté avec les hypothèses faites afin de l'obtenir. Ensuite, la structure testée et les méthodes de mesure seront présentées. Finalement, le modèle obtenu sera comparé aux mesures afin de vérifier la qualité de notre modèle.

4.1 Modèle équivalent petit signal d'un SOI MOSFET

Afin d'obtenir une description physique du corps ultra compact (UTB) du silicium-sur-insulateur (SOI) MOSFET, le circuit équivalent petit-signal est évalué à travers une modulation RF pour différents couples de points polarisés (V_{GS}, V_{DS}). Le circuit équivalent utilisé pour modéliser ce comportement physique est présenté à la Figure 25. Il a été construit à partir de la structure géométrique et physique du transistor. Le circuit est séparé en trois régions nommées les parties *intrinsèque*, *extrinsèque* et *entrée*. Le but de ce chapitre est d'obtenir les éléments du circuit petit signal équivalent pour différents points polarisés. Un des avantages de la modulation RF, par rapport aux mesures DC des caractéristiques courant-tension du transistor, est que, pour une fréquence allant dans les dizaines de MHz, les effets d'auto-échauffement n'ont pas d'influence sur les mesures [22]. Un des désavantages est que la reconstruction des caractéristiques courant-tension est plus longue et complexe.

4.1.1 Les éléments intrinsèques

La partie intrinsèque du transistor est la région entre la source et le drain qui contient la couche d'inversion, l'oxide et la partie basse de la grille. C'est la partie utile du transistor. Les autres parties sont des parties parasites et vont dégrader les performances du transistor. Le circuit petit-signal équivalent de la partie intrinsèque est une simplification du modèle présenté par Tsididis [27] basé sur les hypothèses suivantes :

1. Le seul courant DC qui passe dans le transistor est I_D et part du drain vers la source. Le courant de porte I_G et le courant de corps I_B sont négligés.
2. A cause de la qualité de la couche derrière la BOX, un modèle à trois bornes (grille + drain + source) est suffisant pour modéliser le comportement RF. Aussi, la BOX supporte l'hypothèse consistant à négliger I_B .
3. Ce n'est pas nécessaire de modéliser la non-réciprocité des capacités quand on atteint quelques dizaines de GHz [16].
4. La variation des tensions des bornes est suffisamment basse pour que le dispositif opère de façon quasi-statique. Cela signifie que les charges

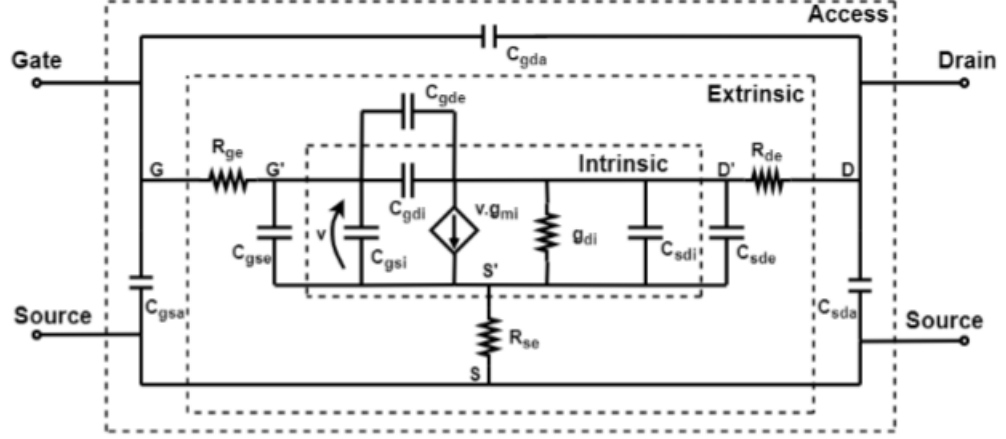


FIG. 31: Circuit équivalent petit-signal utilisé pour modéliser les comportement petit-signal de l' UTB SOI MOSFET. Le transistor a été séparé en trois parties : l'accès, l'extrinsèque et l'intrinsèque

répondent instantanément aux tensions appliquées. Ceci est *l'hypothèse d'opération quasi-statique* [27].

La *source de courant à tension contrôlée* $v.g_{mi}$ modélise l'effet utile du MOSFET : la capacité à contrôler le courant dans le canal quand une tension V est appliquée entre les noeuds S' et G' . Dans l'expression de la source de courant, g_{mi} est la transconductance intrinsèque. La transconductance est définie par la relation suivante :

$$g_{mi} = \left. \frac{\delta I_D}{\delta V'_{GS}} \right|_{V'_{DS}}$$

Où $V'_{GS} = V_{G'} - V_{S'} = v$ est la *tension interne grille-vers-source* et $V'_{DS} = V_{D'} - V_{S'}$ la *tension interne drain-vers-source*. Cependant, les MOSFETs sont des sources de courant à tension contrôlée imparfaits. Ceci est modélisé par la *conductance de sortie intrinsèque* g_{di} définie par l'expression suivante :

$$g_{di} = \left. \frac{\delta I_D}{\delta V'_{DS}} \right|_{V'_{GS}}$$

Les capacités C_{gsi} , C_{gdi} et C_{sdi} sont respectivement les capacités *grille-vers-source*, *grille-vers-drain* et *source-vers-drain*. Ces capacités modélisent l'influence de la variation de tension sur un noeud (i.e G' , D' ou S') sur la charge d'un autre noeud quand les autres charges sont maintenues constantes [27]. Ils sont respectivement donnés par :

$$C_{gsi} = - \left. \frac{\delta Q_{D'}}{\delta V_{S'}} \right|_{V_{G'}, V_{D'}} \quad (25)$$

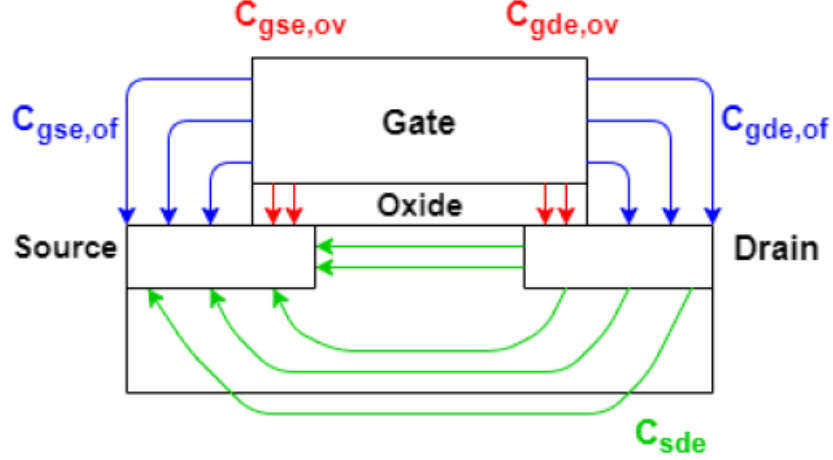


FIG. 32: Illustration des capacités extrinsèques $C_{gse} = C_{gse,ov} + C_{gse,of}$, $C_{gde} = C_{gde,ov} + C_{gde,of}$ et C_{sde} en fonction de la géométrie du transistor.

$$C_{gdi} = - \left. \frac{\delta Q_{G'}}{\delta V_{D'}} \right|_{V_{G'}, V_{S'}} \quad (26)$$

$$C_{sdi} = - \left. \frac{\delta Q_{S'}}{\delta V_{D'}} \right|_{V_{G'}, V_{S'}} \quad (27)$$

Les éléments intrinsèques sont fonction des dimensions du transistor et des polarisations appliquées.

4.1.2 Eléments extrinsèques

Les éléments extrinsèques sont dus à la géométrie des transistors et sont principalement indépendants des polarisations appliquées. Il y a deux types d'éléments extrinsèques. Le premier type est la *capacité extrinsèque*, illustrée dans la Figure 32. La *capacité extrinsèque grille-vers-source* C_{gse} et la *capacité extrinsèque grille-vers-drain* C_{gde} ont deux contributions :

1. Une capacité externe *périphérique* de moindre importance qui part de la grille vers les régions de drain et de la source, respectivement $C_{gse,of}$ et $C_{gde,of}$.
2. Une capacité due à la diffusion des implants de la source et du drain sous la grille, respectivement $C_{gse,ov}$ et $C_{gde,ov}$.

La dernière capacité est la *capacité extrinsèque source-vers-drain* C_{sde} montrant le couplage entre la source et le drain à travers la canal, l'oxide (BOX) et le substrat.

Les structures de test consistent en plusieurs transistors (de même dimension)

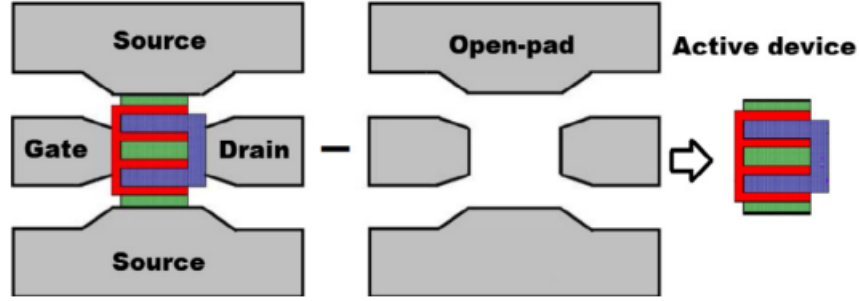


FIG. 33: Illustration de la procédure de dé-enchâssement en *open-pad*. L'image de gauche montre la structure RF : le dispositif actif (en couleur) enchâssé dans le tampon CPW.

connectés en parallèle intégrés dans une plaque contenant un guide d'onde coplanaire adapté aux caractérisations RF, comme montré Figure 33. Les transistors sont liés ensemble et à la plaque avec des *doigts* et des liens métalliques. Les *résistances extrinsèques* sont utilisées pour modéliser les pertes résistives dues à l'entrée dans la partie intrinsèque. Ceci est le second type d'éléments extrinsèques. Les inductances extrinsèques sont négligées pour les transistors MOSFETS de taille inférieure au micron, du fait qu'elles ne valent que quelques pH et sont négligeables dans une étude de la bande de fréquence [16]. La *résistance extrinsèque de drain* R_{de} et la *résistance extrinsèque de source* R_{se} incluent les pertes métalliques dans les liens, les pertes dans les régions d'implant de source et de drain et les résistances de contact entre les régions métalliques et semiconductrices. La *résistance de grille extrinsèque* R_{ge} inclut les pertes dans tous les *doigts* et les liens métalliques utilisés pour connecter les *doigts* ensemble. Il est attendu que R_{ge} soit plus importante que les deux autres résistances.

4.1.3 Les éléments d'entrée

Les éléments d'entrée sont indépendants des dimensions du transistor et dépendent uniquement de la plaque CPW. Des structures dédiées à la suppression de l'impédance et des parties de l'admittance parasites sur la plaque CPW existent. Une structure *ouverte* est utilisée pour retirer l'influence de l'admittance de la plaque CPW tandis qu'une structure *courte* annule l'influence de l'impédance. Dans la Figure 25, il n'y a que la partie capacitive de l'admittance avec la *capacité d'entrée grille-vers-source* C_{gsa} , les capacités d'entrée *grille-vers-drain* C_{gda} et *source-vers-drain* C_{sda} qui aient été modélisées, puisque les structures *courtes* n'étaient pas disponibles.

4.2 Description du dispositif testé et des réglages de mesure

La structure testée consiste en un *fully-depleted* (FD) SOI planaire UTB et BOX (UTBB) nMOSFET fabriqué chez *ST-Microelectronics* [15]. L'épaisseur de l'oxyde équivalent, de l'UTB et de la BOX sont respectivement de 1.3nm, 7nm et 25nm. Le canal est *non-dopé*. La structure est composée de dispositifs *multi-doigts* intégrés dans les plaques CPW servant à la caractérisation RF. Six différentes structures ont été testées. La longueur de grille L_{gate} [nm] testée pour chacune de ces structures était de 25, 30, 35, 45, 60 nm. Pour chacune de ces structures, la largeur de grille W [μm] était égale à 20 μm et le nombre de *doigts* en parallèle correspondait à 6, donnant au total une largeur de grille efficace W_{eff} de 120 μm . Des mesures DC ont été faites afin de comparer les courbes courant-tension obtenues avec celles reconstruites à partir des mesures RF. Un *analyseur de paramètres de semiconducteur* a été utilisé avec les polarisations suivantes :

- $V_{DS} = 20mV$, $0 < V_{GS} < 1V$ avec un pas de 10 mV.
- $V_{DS} = 1 V$, $0 < V_{GS} < 1V$ avec un pas de 10 mV.

Pour la caractérisation RF, les paramètres S ont été mesurés avec un N5247A PNA-X 67(70) GHz *vector network analyser* (VNA). Les polarisations imposées par l'analyseur de paramètres de semiconducteur sont :

- $V_{DS} = 0 V$, $-1 < V_{GS} < 1V$ avec un pas de 50 mV, appelé régime *cold*.
- $V_{DS} = 20 mV$, $0 < V_{GS} < 1V$ avec un pas de 50 mV, appelé régime *linéaire*.
- $V_{DS} = 1 V$, $0 < V_{GS} < 1V$ avec un pas de 50 mV, appelé régime *de saturation*.

4.3 Extraction des éléments petit-signal du circuit

La procédure d'extraction est illustrée seulement pour le transistor $L = 25nm$. Les résultats concernant les éléments d'entrée et les éléments extrinsèques sont montrés pour toutes les dimensions. Les éléments sont déterminés à l'aide d'hypothèses plausibles afin de simplifier le circuit équivalent de la Figure 25. Chaque élément est obtenu à partir d'une régression linéaire avec une équation de type $y = p$ (ce qui est attendu dans le cas des conductances) ou $y = mf$ (attendu pour les capacités) où f est la fréquence, p et m sont des constantes de la bande de fréquence valide. Valide signifie que dans cette bande de fréquence, la quantité mesurée est indépendante de la fréquence quand l'équation $y = p$ est appliquée, et linéairement dépendante quand $y = mf$ est utilisée.

4.3.1 Les éléments d'entrée

Comme dit précédemment, les structures dédiées *open* existent afin de retirer l'influence de l'admittance parasite de la partie d'entrée. Les différentes étapes

pour retirer la partie d'entrée sont :

- Mesurer les paramètres S_{11} , S_{12} , S_{21} et S_{22} pour le dispositif actif et sa structure *ouverte* dédiée et construire respectivement les matrices-S S_t et S_a .
- Convertir les matrices-S en matrices-Y (matrice d'admittance) afin d'obtenir Y_t et Y_a .
- Supprimer l'influence de l'entrée afin d'obtenir $Y_{\pi 1}$, en utilisant $Y_{\pi 1} = Y_t - Y_a$ (la procédure est illustrée en Figure 33).

4.3.2 Les capacités d'entrée

L [nm]	25	30	35	45	60
C_{gsa} [fF]	36.2	35.3	38.2	37.45	37.56
C_{gda} [fF]	2.2	1.45	1.35	1.36	1.4
C_{sda} [fF]	52.5	51.98	52.34	50.4	49.3

TAB. 1: Capacités d'entrée C_{gsa} , C_{gda} et C_{sda} pour différentes dimensions du transistor

Les valeurs des capacités d'entrée peuvent être obtenues à partir de Y_a . La matrice-Y Y_a est donnée par :

$$Y_a = \begin{bmatrix} Y_{a11} & Y_{a12} \\ Y_{a21} & Y_{a22} \end{bmatrix} = \begin{bmatrix} j\omega(C_{gsa} + C_{gda}) & -j\omega C_{gda} \\ -j\omega C_{gda} & j\omega(C_{sda} + C_{gda}) \end{bmatrix} \quad (28)$$

où $\omega = 2\pi f$ est la pulsation et j le nombre imaginaire. Les capacités d'entrée sont obtenues à partir des équations suivantes :

$$C_{gsa} = \frac{I(Y_{a11} + Y_{a12})}{\omega} \quad (29)$$

$$C_{gda} = -\frac{Y_{a12}}{\omega} \quad (30)$$

$$C_{sda} = \frac{I(Y_{a22} + Y_{a12})}{\omega} \quad (31)$$

L'extraction est illustrée en Figure 35 Les capacités sont obtenues à partir d'une régression linéaire sur la pente de chaque équation entre 5 et 20 GHz. Les résultats pour les différentes dimensions sont disponibles dans la Tab. 1 Il convient de noter que, dans le cas des capacités d'entrée, le choix de la bande de fréquence n'a pratiquement aucune influence sur les résultats obtenus et que ces résultats sont valides dans toute la bande de fréquence.

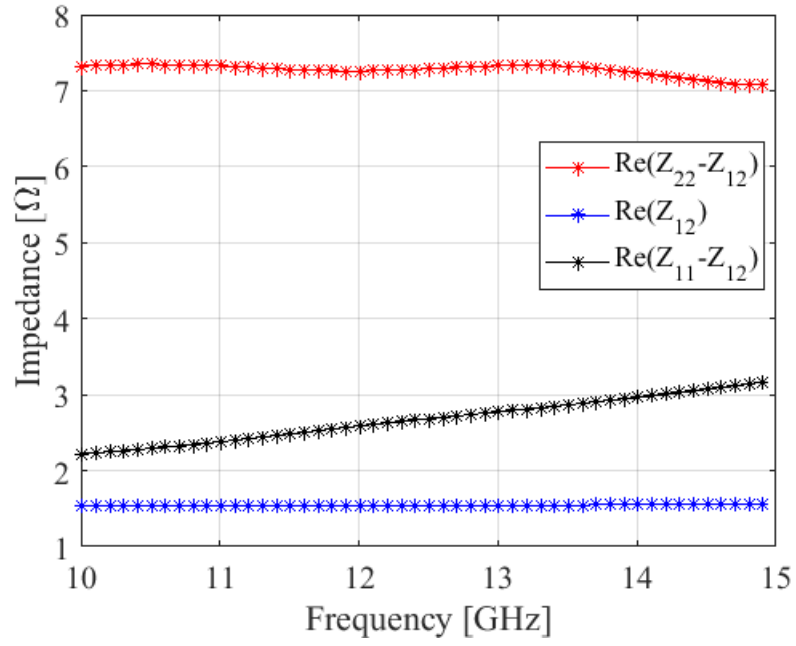


FIG. 34: Parties réelles de $Z_{\Sigma_{11}} - Z_{\Sigma_{12}}$, $Z_{\Sigma_{12}}$ et $Z_{\Sigma_{22}} - Z_{\Sigma_{12}}$ en fonction de la fréquence f pour $L = 25$ nm à 300K. Une moyenne des fréquence sur la bande [10 GHz;15 GHz] est effectuée afin d'extraire les valeurs des parties réelles des paramètres Z .

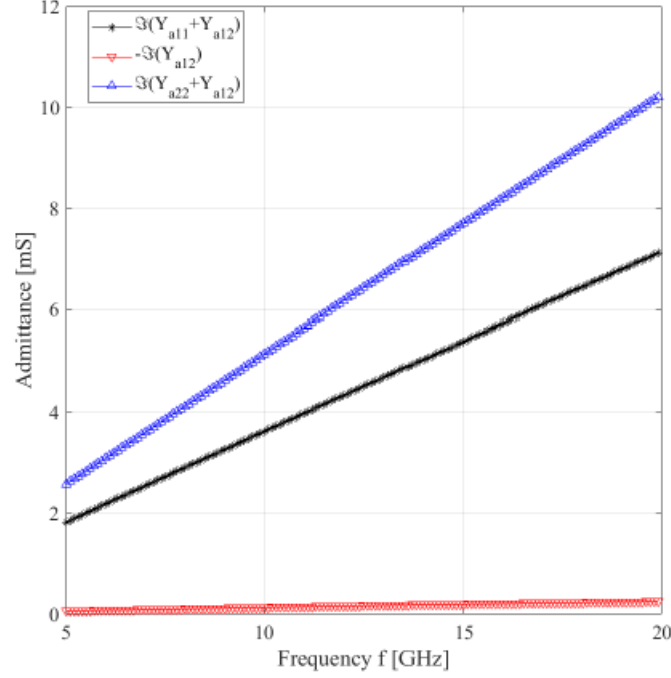


FIG. 35: Partie imaginaire de $Y_{a11} + Y_{a12}$, $-Y_{a12}$ et $Y_{a22} + Y_{a12}$ en fonction de la fréquence f pour $L = 25$ nm. A partir de la pente de la courbe, les capacités d'accès sont extraites

4.3.3 Les éléments extrinsèques

Résistances séries Différentes méthodes existent concernant l'extraction des résistances séries. Une d'entre elles est la *cold FET method* qui, comme son nom le suggère, est valide en régime *cold* (i.e. $V_{DS} = 0$ V). Cette méthode a été proposée par Bracale [4] et choisie entre plusieurs autres méthodes puisque c'est celle qui permet d'obtenir les résultats les plus précis [16]. Dans ce régime, g_{mi} est approximativement égale à zéro.

L [nm]	25	30	35	45	60
R_{ge} [Ω]	10.2	10.4	8.45	7.67	7.56
R_{de} [Ω]	2.03	2.02	2.2	2.07	2.16
R_{se} [Ω]	1.04	1.01	1.06	1.12	1.17

TAB. 2: Résistances extrinsèques R_{ge} , R_{de} et R_{se} pour différentes dimensions du transistor à $T = 300$ K

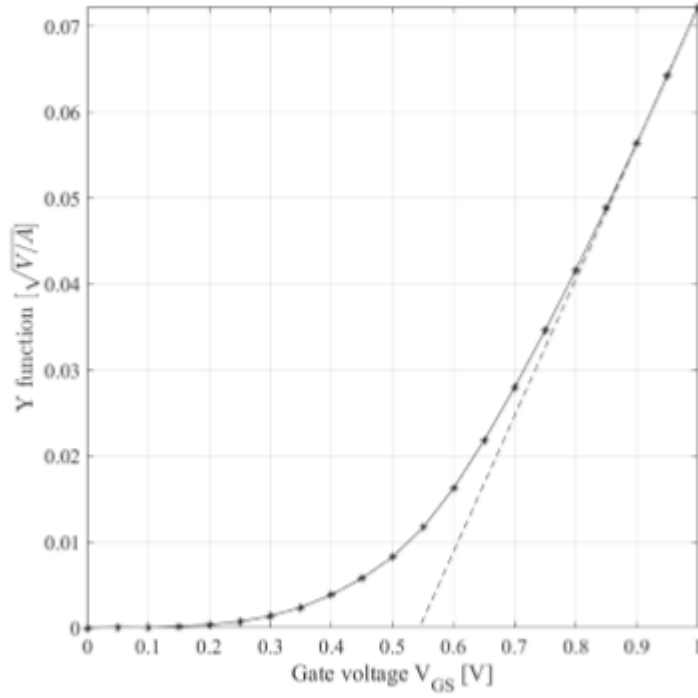


FIG. 36: Illustration de l'extraction de la tension de seuil V_T basée sur la méthode du ratio du courant de drain pour le transistor à $L = 25$ nm et 300K. La tension de drain est égale à 20 mV. V_T est déduite à partir d'une extrapolation linéaire de la courbe en régime de forte inversion (à partir des trois plus grands V_{GS} : 0.9, 0.95 et 1 V. [29]

L [nm]	25	30	35	45	60
R_{ge} [Ω]	12.2	11.4	9.96	9.67	8.37
R_{de} [Ω]	2.13	2.06	2.09	2.13	2.17
R_{se} [Ω]	1.07	1.11	1.04	1.09	1.03

TAB. 3: Résistances extrinsèques R_{ge} , R_{de} et R_{se} pour différentes dimensions du transistor à $T = 77K$

En supposant que $C_{gd} = C_{gde} + C_{gdi}$ et $C_{gs} = C_{gse} + C_{gsi}$ sont égaux ($C_{gs} = C_{gd} = C$), nous obtenons trois équations simplifiées :

$$R(Z_{\Sigma_{11}} - Z_{\Sigma_{12}}) = R_{ge} - \frac{1}{4g_{di}} \quad (32)$$

$$R(Z_{\Sigma_{12}}) = R_{se} + \frac{1}{2g_{di}} \quad (33)$$

$$R(Z_{\Sigma_{22}} - Z_{\Sigma_{12}}) = R_{de} + \frac{1}{2g_{di}} \quad (34)$$

où les différents termes du côté gauche des équations sont obtenus en convertissant la matrice-Y $Y_{\pi 1}$ en une matrice-Z Z_{Σ} (matrice d'impédance). Chaque équation est valide si la condition suivante sur ω est remplie :

$$\omega \ll \frac{2g_{di}}{2C_{sd} + C} \quad (35)$$

où $C_{sd} = C_{sde} + C_{sdi}$. Finalement, les équations sont valides quand ω est suffisamment petit et/ou quand g_{di} est suffisamment grand comparé à $2C_{sd} + C$. En *strong inversion* (i.e. $V_{GS} \gg V_T$ avec V_T la tension de seuil), $g_{di} \propto V_{GS} - V_T$. Les résistances extrinsèques R_{ge}, R_{se} et R_{de} sont alors obtenues à partir d'une régression linéaire où les résistances sont interceptées quand Eq. 32, 33 et 34 sont représentées vis à vis de $\frac{1}{V_{GS} - V_T}$.

Le côté gauche des Eq. 32, 33 et 34 pour $V_{GS} = 1V$ entre 0.5 et 20 GHz est représenté en Figure 34. Pour les fréquences les plus basses, on peut observer que $R(Z_{\Sigma_{11}})$ est dépendant de la fréquence. Cette dépendance est due aux erreurs de mesure des paramètres S dûes à des erreurs systématiques du VNA [18]. Ce comportement n'est observé pour $R(Z_{\Sigma_{12}})$ et $R(Z_{\Sigma_{22}})$. Ceci impose une fréquence minimum à atteindre avant d'atteindre un plateau $R(Z_{\Sigma_{11}})$. A partir des résultats observés pour les différentes dimensions, cette fréquence minimum a été choisie à 10 GHz. Cependant, cette condition sur la fréquence est contradictoire avec la condition de validité : Eq. 35. En conséquence, l'*averaging* de la fréquence a été limité une fréquence max de 15 GHz. Finalement, le côté gauche des Eq. 32, 33 et 34 est obtenu à partir d'une moyenne de fréquences entre 10 et 15 GHz pour les trois plus grands V_{GS} disponibles : 0.9, 0.95, 1 V.

Afin d'obtenir la tension de seuil V_T , plusieurs méthodes existent [19]. Pour plus de précision, cette tension de seuil doit être obtenue en régime linéaire (plus précisément un régime le plus proche possible du régime *cold*) puisque la *cold FET method* est valide lorsque $V_{DS} = 0V$. Cependant, ces méthodes sont basées sur l'extraction des courbes $I_D - V_{GS}$ du transistor mesuré. Une bonne méthode serait d'obtenir cette courbe par des mesures DC. Néanmoins, puisque la mise en place des caractérisations DC et RF est différente, cette procédure peut introduire des erreurs dans l'extraction de V_T . Une autre idée est de déduire les courbes $I_D - V_{GS}$ directement à partir des mesures RF. Cela commence par la mesure de la transconductance extrinsèque g_{me} en régime linéaire. Cette transconductance est définie par

$$g_{me} = \left. \frac{\delta I_D}{\delta V_{GS}} \right|_{V_{GS}} \quad (36)$$

et est obtenue à partir de mesures entre 0.5 et 2 GHz grâce à l'équation suivante :

$$g_{me} = T(Y_{t_{21}}) \quad (37)$$

où $Y_{t_{21}}$ est un des paramètres Y de la matrice-Y Y_t résultant de la conversion de S_t en Y_t (i.e. extraction directe de la transconductance sans procédure de *dé-enchâssement*). La transconductance obtenue est montrée en Figure 42 et 41. Le courant de drain I_D est fonction de V_{GS} pour un V_{DS} fixé et est déduit à partir de l'intégration de Eq. 36:

$$I_D(V_{GS}) = \int_0^{V_{GS}} g_{me}(v) dv \quad (38)$$

où on choisit d'imposer $I_D = 0A$ quand $V_{GS} = 0V$ et v est une variable d'intégration. La tension de seuil V_T a été extraite en utilisant la méthode de *ratio du courant de drain* [19]. Dans cette méthode, en assumant que le transistor opère en régime linéaire et en régime de *forte inversion*, $\frac{I_D}{\sqrt{g_{me}}}$, appelée la fonction Y , est telle que

$$Y \propto V_{GS} - V_T \quad (39)$$

La procédure d'extraction est illustrée en Figure 36. la tension de seuil est obtenue à partir d'une régression linéaire à partir des trois plus grands V_{GS} : 0.9, 0.95 et 1 V et est égale à 0.58 V. Une fois que V_T est déduite, la méthode de Bracale peut être appliquée comme illustré en Figure 34. Les valeurs des résistances extrinsèques pour les dimensions différentes sont disponibles à la Tab. 2 et 3.

Physiquement, la méthode peut être interprétée comme suit : trois résistances sont en série entre la source et le drain : R_{se} , R_{de} et la résistance de canal (résistance du transistor). Quand $V_{GS} - V_T \rightarrow \infty$ (ou quand $\frac{1}{V_{GS} - V_T} \rightarrow 0$), la résistance de canal tend vers 0 et seules les résistances séries restent. Dans les Tab. 2 et 3, R_{de} et R_{se} sont toutes les deux approximativement égales à $1 - 2\Omega$.

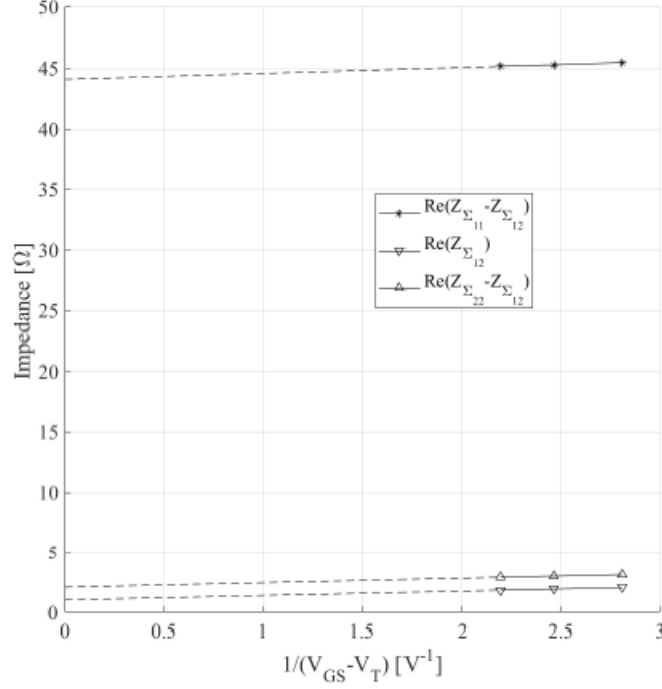


FIG. 37: Illustration de la méthode de Bracale à $V_{DS} = 0V$, $V_{GS} = 0.9, 0.95$ et $1V$ et $L = 25\text{ nm}$ à $300K$.

Cependant, R_{de} est toujours de peu supérieure à R_{se} . Ceci peut être expliqué par le fait que la source est plus métallisée que le drain puisque la source est utilisée comme la terre. Concernant R_{ge} , elle est inversement proportionnelle à L_{gate} .

A partir des résistances séries calculées, la matrice d'impédance extrinsèque Z_e est construite comme :

$$Z_e = \begin{bmatrix} R_{ge} + R_{se} & R_{se} \\ R_{se} & R_{de} + R_{se} \end{bmatrix} \quad (40)$$

Les résistances extrinsèques sont dé-enchâssées en utilisant :

$$Y_{\pi_2}^{-1} = Z_{\Sigma} - Z_e \quad (41)$$

où Y_{π_2} est la matrice dé-enchâssée Y .

n

Les capacités extrinsèques Les capacités extrinsèques sont extraites à partir des mesures du transistor pour $V_{FB} < V_{GS} < V_T$ et $V_{DS} = 0V$ où V_{FB} est

la tension de *flatband* [15]. La première condition posée correspond à un régime de profonde déplétion, régime qui se situe peu après les conditions de *flatband* mais avant celles de faible inversion. Dans ce régime, il n'y a pas (ou presque pas) d'électrons dans le canal. Seule la charge de déplétion est présente dans le canal. Dans notre cas, le régime de déplétion profonde est considéré comme atteint pour la plus faible tension V_{GS} appliquée : -1 V. Quant à la mesure des résistances extrinsèques, nous sommes obligés de faire un compromis. Nous voulons la tension V_{GS} la plus faible possible afin d'atteindre le régime de déplétion profond. Cependant, quand V_{GS} décroît, le courant de grille I_G augmente. Et si I_G devient trop important, le circuit de la Figure 25 ne sera plus valide. De plus, la tension physique induite dans l'oxyde par V_{GS} peu endommager, ou dans le pire des cas, détruire le transistor.

Il a été observé que les résultats obtenus pour C_{gde} et C_{gse} sont linéairement dépendants de L_{gate} . Comme dit précédemment, les capacités extrinsèques sont faites à partir de deux contributions : les capacités périphériques externes $C_{gde,of} + C_{gse,of}$ et les capacités d'*overlap* $C_{gde,ov} + C_{gse,ov}$. Si nous supposons que le processus de fabrication est le même pour tous les transistors, la capacité d'*overlap* est constante. Cela veut dire que les capacités périphériques externes augmentent linéairement avec L_{gate} . Ce résultat est attendu puisque ces capacités augmentent avec l'expansion de la région externe périphérique au sommet de la grille [14].

En profonde déplétion, la matrice d'admittance Y_{Π_2} devient la matrice d'admittance extrinsèque Y_e

$$Y_e = \begin{bmatrix} j\omega(C_{gse} + C_{gde}) & -j\omega C_{gde} \\ -j\omega C_{gde} & j\omega(C_{sde} + C_{gde}) \end{bmatrix} \quad (42)$$

Les capacités extrinsèques sont extraites à partir de

$$C_{gse} = \frac{I(Y_{e11} + Y_{e12})}{\omega} \quad (43)$$

$$C_{gde} = -\frac{I(Y_{e12})}{\omega} \quad (44)$$

$$C_{sde} = \frac{I(Y_{e22} + Y_{e12})}{\omega} \quad (45)$$

Les résultats obtenus à partir d'une régression linéaire entre 0.5 et 5 GHz sont disponibles à la Tab. 4 et 5 pour les différentes dimensions. La plus faible des fréquences se justifie par les erreurs introduites dans les paramètres S à cause du VNA. En ce qui concerne la fréquence la plus haute, on doit prendre en compte deux éléments. Premièrement, plus la fréquence augmente, et plus certains éléments négligés dans le circuit de la Figure 25 ne peuvent plus être ignorés. Le second point est que l'extraction des résistances extrinsèques n'est pas parfaite dans le sens où les paramètres Y de Y_e vont devenir dépendants

de la fréquence (au lieu d'être simplement linéairement dépendant) et cela pour une fréquence suffisamment haute.

Les capacités extrinsèques sont dé-enchâssées comme suit

$$Y_i = Y_{I_2} - Y_e \quad (46)$$

où Y_i est la matrice d'admittance intrinsèque.

L [nm]	25	30	35	45	60
C_{gse} [fF]	32.2	33.45	33.65	36.2	37.9
C_{gde} [fF]	28.34	28.67	28.31	29.49	29.89
C_{sde} [fF]	5.89	6.56	7.01	6.76	5.92

TAB. 4: Capacités extrinsèques C_{gse} , C_{gde} et C_{sde} pour différentes dimensions du transistor à T = 300K

L [nm]	25	30	35	45	60
C_{gse} [fF]	26.47	48.13	35.54	37.36	39.47
C_{gde} [fF]	29.32	28.61	29.75	30.04	31.02
C_{sde} [fF]	5.45	5.89	5.08	4.98	4.49

TAB. 5: Capacités extrinsèques C_{gse} , C_{gde} et C_{sde} pour différentes dimensions du transistor à T = 77K

4.3.4 Les éléments intrinsèques

A partir de la partie intrinsèque du circuit petit-signal (voir Figure 25), la matrice d'admittance intrinsèque est exprimée comme :

$$Y_i = \begin{bmatrix} j\omega(C_{gsi} + C_{gdi}) & -j\omega C_{gdi} \\ g_{mi} - j\omega C_{gde} & g_{di} + j\omega(C_{sdi} + C_{gdi}) \end{bmatrix} = \begin{bmatrix} j\omega C_{ggi} & -j\omega C_{gdi} \\ g_{mi} - j\omega C_{gdi} & g_{di} + j\omega C_{ddi} \end{bmatrix} \quad (47)$$

Deux nouvelles capacités ont été introduites : C_{ggi} et C_{ddi} . Elles sont définies comme

$$C_{ggi} = \left. \frac{\delta Q_{G'}}{\delta V_{G'}} \right|_{V_{D'}, V_{S'}} \quad (48)$$

et

$$C_{ddi} = \left. \frac{\delta Q_{D'}}{\delta V_{D'}} \right|_{V_{G'}, V_{S'}} \quad (49)$$

Les relations $C_{ggi} = C_{gsi} + C_{gdi}$ et $C_{ddi} = C_{sdi} + C_{gdi}$ sont démontrées en [27]. Les éléments intrinsèques sont obtenus à partir des équations suivantes :

$$C_{gsi} = \frac{I(Y_{i_{11}} + Y_{i_{12}})}{\omega} \quad (50)$$

$$C_{gdi} = -\frac{I(Y_{i12})}{\omega} \quad (51)$$

$$C_{sdi} = \frac{I(Y_{i22} + Y_{i12})}{\omega} \quad (52)$$

$$g_{mi} = R(Y_{i21}) \quad (53)$$

$$g_{di} = R(Y_{i22}) \quad (54)$$

Les capacités intrinsèques Les capacités intrinsèques ont été obtenues en prenant la moyenne des fréquences se trouvant entre 0.5 et 5 GHz. Cette méthode a la même justification que pour les capacités extrinsèques. Les résultats pour C_{ggi} , C_{gdi} et C_{gsi} en régime linéaire sont représentés en Figure 38 et 39. Les résultats en régime *cold* ne seront pas montrés, puisque quantitativement, les résultats sont presque identiques à ceux en régime linéaire. Qualitativement, C_{ggi} a le comportement attendu. Il augmente soudainement proche de 0.6 V à cause du passage de la faible à la forte inversion. Quand le transistor est complètement en forte inversion, la courbe devrait être en saturation à une valeur constante : C_{ox} , la capacité d'oxyde. Puisque la courbe n'est pas totalement aplatie en $V_{GS} = 1V$, on peut déduire que, même à 1 V, la forte inversion n'est pas totalement atteinte. Cela peut s'expliquer par le fait que, pour les équipements à échelle nanoscopique, l'épaisseur d'oxyde devient si fine que l'épaisseur de la couche d'inversion devient similaire à celle-ci [28]. Il en résulte un régime de forte inversion qui est atteint à un V_{GS} plus élevé dans le cas des équipements à échelle nanoscopique.

En ce qui concerne C_{gsi} , ce n'est pas le résultat attendu, la capacité continue de croître linéairement après $V_{GS} = 1V$. Dans le cas de C_{gdi} , il semble qu'il ne se comporte pas correctement. En effet, il atteint un maximum à environ $V_{GS} = 0.6V$ puis commence à décroître. Afin de comprendre la forme de C_{gdi} , il est important de rappeler ce qui suit. A partir de Eq. 50, C_{gsi} n'est pas mesurée directement mais déduite de la différence entre C_{ggi} et C_{gdi} . C'est réellement C_{ggi} et C_{gdi} qui sont mesurées directement avec Y_{i11} et Y_{i12} . En conséquence, si C_{gsi} n'a pas le comportement attendu, c'est dû à C_{ggi} et/ou C_{gdi} . Le comportement en fréquence de C_{ggi} et C_{gdi} a été inspecté entre 0.5 et 5 GHz afin de vérifier si une dépendance linéaire de f était obtenue pour chaque V_{GS} . Pour C_{ggi} , c'est le cas. Par contre, ça n'est pas le cas pour C_{gdi} . Pour un V_{GS} d'approximativement 0.5 V, la dépendance de la partie imaginaire de Y_{i12} avec f devient non linéaire. De plus, la fréquence maximum de 5 GHz a été réduite à 3 GHz par palier de 1 GHz afin de voir si on pouvait obtenir une courbe ayant le comportement attendu. La capacité C_{ggi} est faiblement altérée par la modification de la bande de fréquence mais sa forme reste la même. Pour C_{gdi} , les résultats obtenus sont très fortement perturbés par la modification de la bande de fréquence et des courbes complètement différentes sont obtenues pour $V_{GS} > 0.5V$ (pas représenté). A partir de cette analyse, on peut conclure que le modèle utilisé pour prédire C_{gdi} n'est pas totalement correct. Seul $I(Y_{i11})$ est linéairement dépendant de f pour tous les V_{GS} appliqués entre 0.5 et 5 GHz.

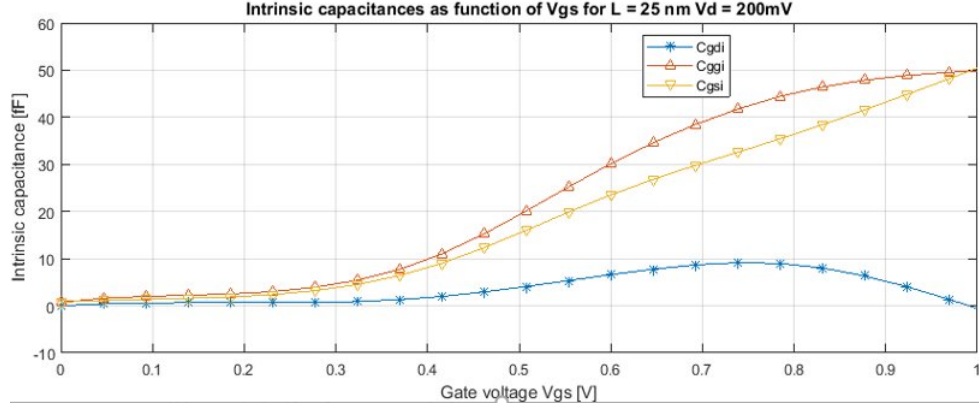


FIG. 38: Capacités intrinsèques C_{ggi} , C_{gdi} et C_{gsi} en régime linéaire en fonction de la tension de grille V_{GS} pour $L = 25$ nm et $T = 300$ K. La capacité C_{gsi} est déduite à partir de la différence entre C_{ggi} et C_{gdi}

$I(Y_{i12})$, $I(Y_{i21})$ et $I(Y_{i22})$ ne le sont pas, ce qui veut dire que les courbes obtenues pour C_{ddi} et C_{sdi} sont aussi incorrectes (pas représentées). Cette analyse a été faite pour $L = 25$ [nm] mais elle prévaut pour les autres dimensions. On remarquera enfin que C_{gdi} est plus affecté à 77K qu'à 300K.

Les capacités intrinsèques C_{ggi} , C_{gdi} et C_{gsi} en régime de saturation sont montrées en Figure 40 pour $T = 300$ K. Elles sont aussi obtenues par une moyenne des fréquences entre 0.5 et 5 GHz. Contrairement au régime linéaire, $I(Y_{i12})$ versus f est linéaire pour tous les V_{GS} appliqués et les différents L . Cela veut dire que le modèle utilisé pour prédire C_{gdi} est acceptable en régime de saturation. On peut voir sur la Figure 40 que, puisque le canal est *pinch-off* dans la partie de drain en saturation, $C_{gsi} \gg C_{gdi}$ et $C_{gsi} \rightarrow C_{ggi}$. De plus, en dessous de 0.9 V, C_{gdi} reste négatif. Cela est dû à l'extraction de C_{gde} . Cette capacité extrinsèque était supposée être indépendante de la polarisation et avait été extraite en régime *cold* et en profonde déplétion. Cependant, parce que C_{gdi} reste négatif jusqu'à 0.9 V, il a été conclu que C_{gde} pourrait être un peu *dépendante de la polarisation du drain* et en conséquence, surestimée. Les capacités intrinsèques en saturation ne sont pas montrées pour $T = 77$ K mais elles ont exactement les mêmes tendances qu'à 300K.

Transconductance intrinsèque et extrinsèque La transconductance intrinsèque g_{mi} a été extraite avec Eq. 53 entre 0.5 et 2 GHz pour différents V_{GS} dans les régimes linéaire et de saturation. Ici, la fréquence maximale de 2 GHz a été choisie pour limiter l'impact d'une extraction imparfaite des résistances séries, puisque $R(I_{i21})$ devient rapidement dépendante de la fréquence au lieu d'être théoriquement constant. La transconductance obtenue dans le régime linéaire est montrée Figure 42 et 41. La transconductance extrinsèque g_{me} a

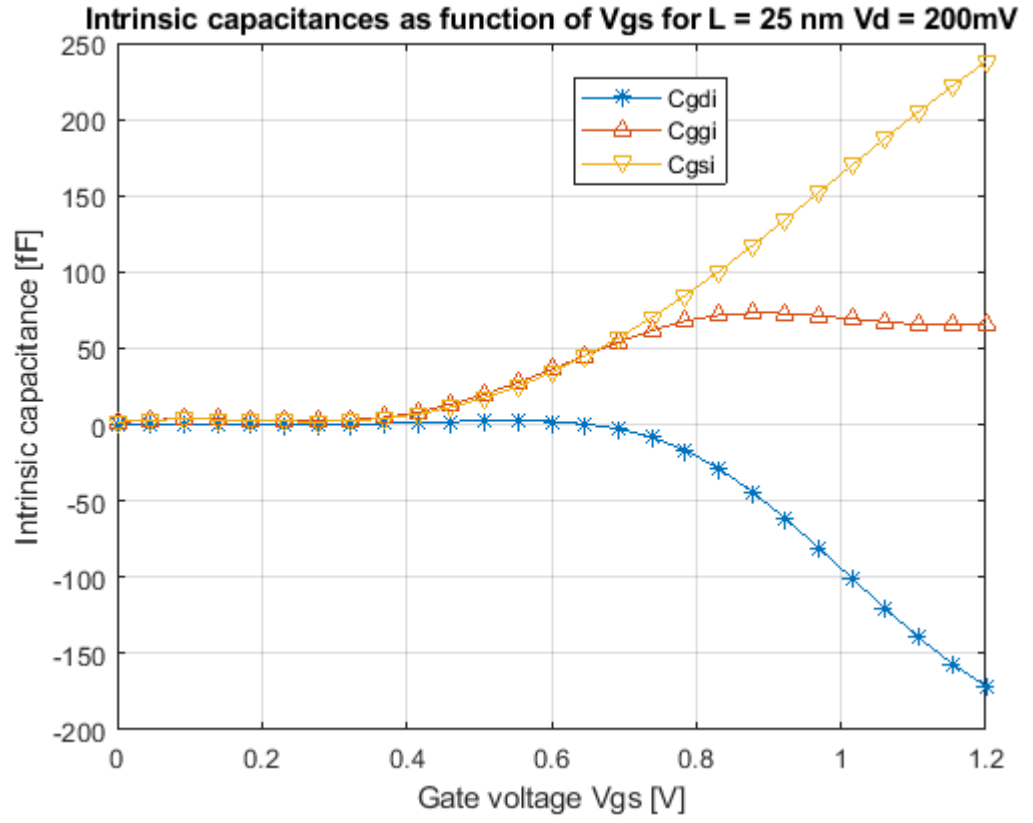


FIG. 39: Capacités intrinsèques C_{ggi} , C_{gdi} et C_{gsi} en régime linéaire en fonction de la tension de grille V_{GS} pour $L = 25$ nm et $T = 77$ K. La capacité C_{gsi} est déduite à partir de la différence entre C_{ggi} et C_{gdi}

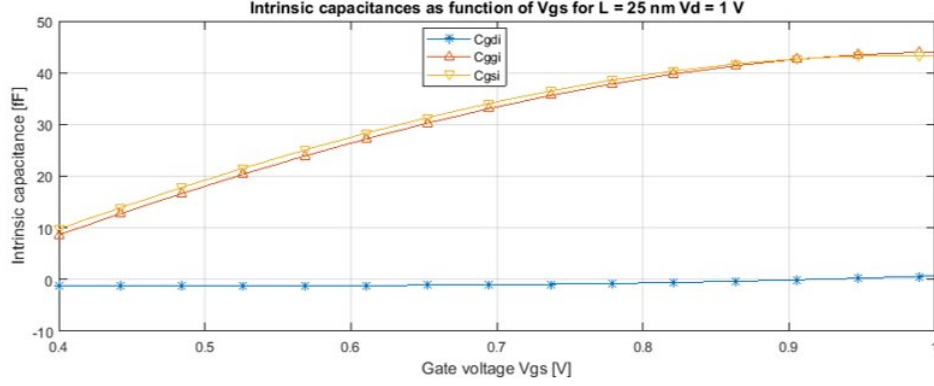


FIG. 40: Capacités intrinsèques C_{ggi} , C_{gdi} et C_{gsi} en régime saturé en fonction de la tension de grille V_{GS} pour $L = 25$ nm et $T = 300$ K. La capacité C_{gsi} est déduite à partir de la différence entre C_{ggi} et C_{gdi}

aussi été montrée afin d'illustrer l'impact des résistances séries R_{de} et R_{se} sur le transistor intrinsèque. Il peut être observé que l'effet de ces résistances commence à devenir important quand V_{GS} est plus grand que 0.6 V et résulte en une dégradation des performances du transistor. A 1 V, la dégradation est de 50% (pour $L = 25$ nm). Quand $L = 60$ nm, la dégradation est de 35%. Cela peut s'expliquer par le fait que, au moment où le transistor rétrécit, la résistance de canal décroît de plus en plus. Cependant, R_{de} et R_{se} sont assez indépendantes de L et sont approximativement constantes (voir Tab. 3 er 2), ce qui résulte en une dégradation croissante de la transconductance quand L diminue.

Conductance de sortie intrinsèque et extrinsèque De manière similaire à la transconductance extrinsèque g_{me} , on définit la conductance de sortie extrinsèque g_{de}

$$g_{de} = \left. \frac{\delta I_D}{\delta V_{GS}} \right|_{V_{GS}}$$

obtenue à partir de $R(Y_{t22})$ (mesures directes de la conductance de sortie sans aucune procédure de dé-enchâssement). Les deux conductances de sortie dans le régime linéaire sont montrées en 43 et 44. Elles ont été obtenues à partir d'une moyenne sur la bande de fréquence $[0.5;2]$ GHz. La discussion concernant la dégradation de la transconductance due aux résistances séries est ici toujours valide. A $V_{GS} = 1V$, une dégradation de la conductance de sortie de 64% est observée.

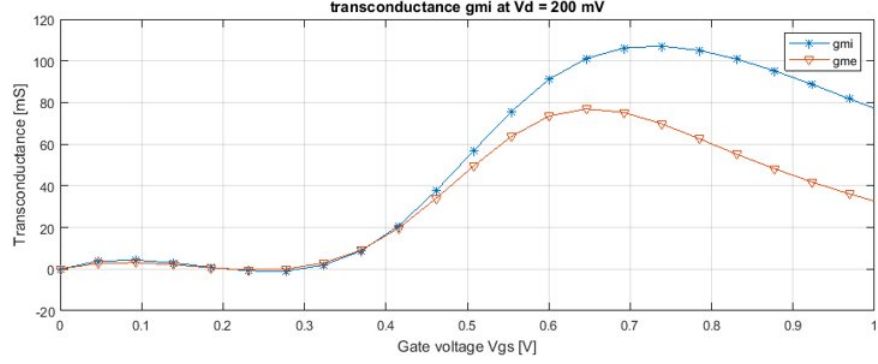


FIG. 41: Transconductance intrinsèque g_{mi} et transconductances extrinsèque g_{me} en fonction de la tension de grille V_{GS} pour $L = 25$ nm à $T = 300$ K

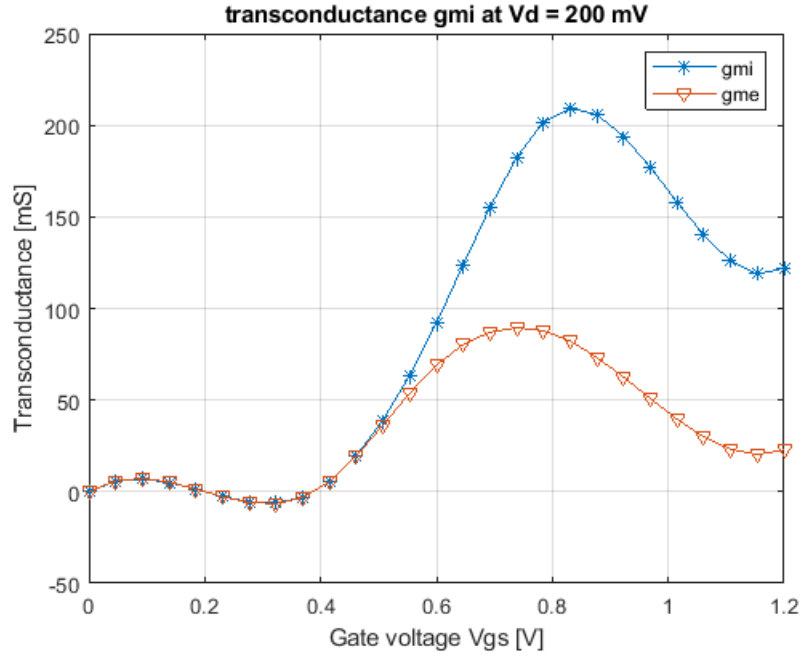


FIG. 42: Transconductance intrinsèque g_{mi} et transconductances extrinsèque g_{me} en fonction de la tension de grille V_{GS} pour $L = 25$ nm à $T = 77$ K

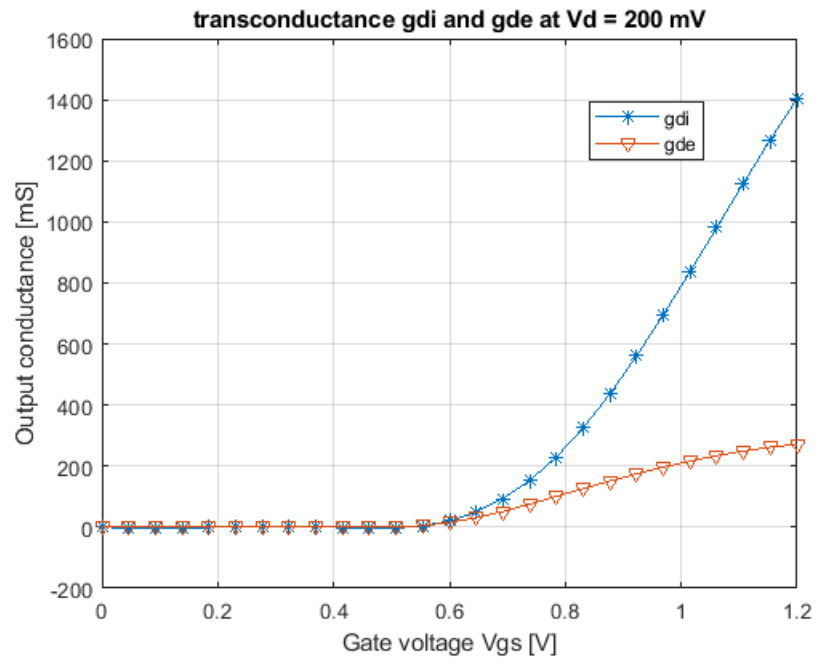


FIG. 43: Conductance de sortie intrinsèque g_{di} et conductance de sortie extrinsèque g_{de} en fonction de la tension de grille V_{GS} pour $L = 25$ nm $T = 77$ K

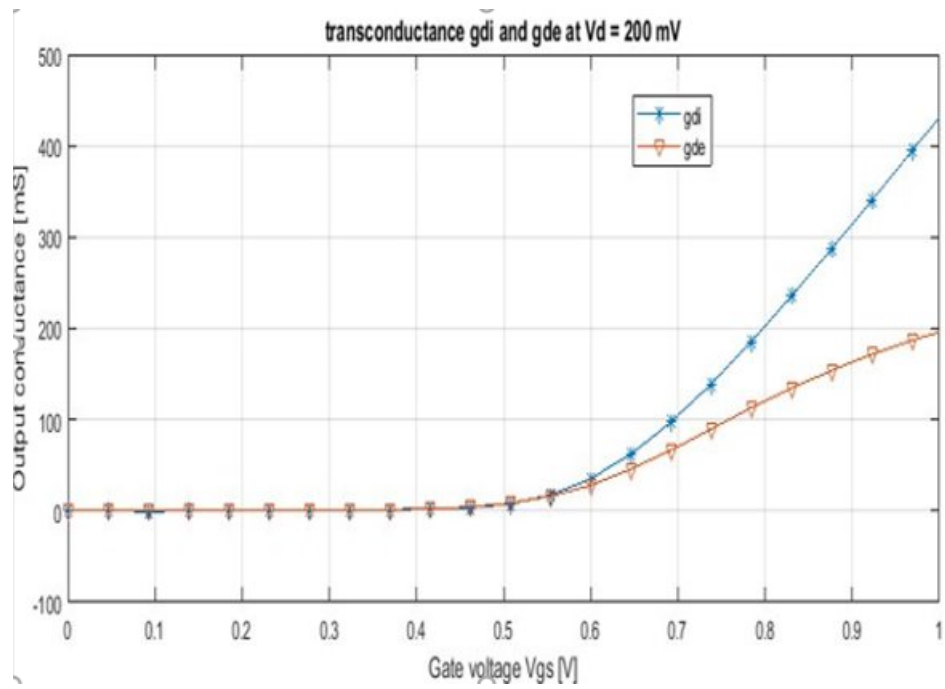


FIG. 44: Conductance de sortie intrinsèque g_{di} et conductance de sortie extrinsèque g_{de} en fonction de la tension de grille V_{GS} pour $L = 25$ nm $T = 300$ K

4.4 Conclusion

Le circuit petit-signal équivalent du FDSOI MOSFET a été présenté sous la forme d'un quadripôle avec trois parties différentes enchâssées l'une dans l'autre : la partie intrinsèque, l'extrinsèque et la partie d'accès. La partie intrinsèque représente la partie utile du MOSFET. La partie extrinsèque est due à la géométrie du MOSFET et rajoute des éléments non-désirés au circuit : les capacités extrinsèques et les résistances. La partie d'accès modélise les éléments parasites dus au pad CPW utilisé en caractérisation RF. Après la mesure des paramètres S, les éléments petit-signal pour différentes paires (V_{GS}, V_{DS}) ont été progressivement obtenus en faisant diverses hypothèses adéquates afin de simplifier le circuit équivalent. Une structure *open-pad* a été utilisée afin de dé-enchâsser la partie d'accès. Les résistances extrinsèques ont été obtenues grâce à la méthode *cold FET* (méthode de Bracale). La méthode *cold FET* nécessite la connaissance de la tension de seuil acquise par la méthode du ratio de courant de drain. Les capacités extrinsèques ont été extraites en régime profondément déplété. Une fois l'extraction de la partie d'accès et la partie extrinsèque, la partie intrinsèque est devenue disponible. Cependant, en régime linéaire, les capacités intrinsèques grille-vers-drain et source-vers-drain étaient impossibles à obtenir. La raison étant la non validité de notre modèle pour extraire ces éléments. En ce qui concerne le régime de saturation, la capacité intrinsèque source-vers-drain était aussi impossible à extraire, cela étant dû à la possible non validité de l'hypothèse de départ.

5 Simulation ELDO

Dans le chapitre précédent, les éléments du circuit petit-signal ont été extraits. Il a été observé que le circuit équivalent petit-signal proposé n'était pas totalement adéquat en régime linéaire. L'utilisation de la méthode *cold FET* pour extraire les résistances séries a été motivée. Cette méthode nécessitait la technique du ratio du courant de drain (extraction à partir de la fonction Y) pour obtenir la tension V_T . Néanmoins, en utilisant cette technique, certaines erreurs dans l'extraction des résistances séries pourraient être apparues. Dans un premier temps nous essaierons de déterminer quels sont les éléments du circuit petit signal équivalent intrinsèque qui ne sont pas adéquats. Pour cela nous effectuerons une simulation en ELDO d'un MOSFET similaire à celui étudié expérimentalement. Nous déterminerons la précision avec laquelle la méthode *cold FET* peut obtenir les résistances séries. Enfin, nous observerons l'impact que pourrait avoir une erreur dans l'extraction de ces résistances sur les éléments du circuit petit-signal.

5.1 Simulation ac vs extraction paramètres S

Afin de déterminer quels éléments du circuit petit-signal équivalent ont été affectés par une mauvaise extraction des résistances séries, nous allons lancer une simulation ELDO AC en régime linéaire ($V_{DS} = 20mV$). Nous représenterons ainsi les différentes parties du circuit intrinsèque simulé. Une fois le fichier *log* obtenu en ELDO, nous effectuerons une extraction expérimentale à partir des paramètres S de ce fichier. Nous utiliserons pour cela les mêmes méthodes utilisées au chapitre 3 (extraction *cold FET* et méthode du ratio du courant de drain). Nous imposerons aussi des valeurs pour les résistances séries R_{ge} , R_{de} et R_{se} respectivement imposées à 10, 1 et 2 Ω . Nous comparerons les éléments simulés en AC aux éléments obtenus à partir des paramètres S, dans le but de détecter en quoi la méthode d'extraction utilisée au Chapitre 4 pourrait générer des erreurs dans le circuit petit-signal équivalent obtenu à partir de celle-ci.

Nous commencerons par étudier les capacités intrinsèques obtenues entre 0.5 et 5 GHz. Les résultats sont montrés Figures 45, 46 et 47. On constate que les courbes ont des tendances similaires, avec des valeurs qui diffèrent de peu. Ces quelques différences peuvent s'expliquer par une différence d'extraction des résistances séries, que nous démontrerons ci-après.

Intéressons nous maintenant à g_{di} et g_{mi} . Celles-ci ont été obtenues en régime linéaire pour une bande de fréquence entre 0.5 et 2 GHz. Nous constatons sur les Figures 49 et 51 que les courbes obtenues à partir des simulations où l'on a imposé des résistances séries varient de celles où les valeurs des résistances séries sont nulles. On en déduit donc que les résistances séries ont un impact sur les tendances des courbes g_{mi} et g_{di} .

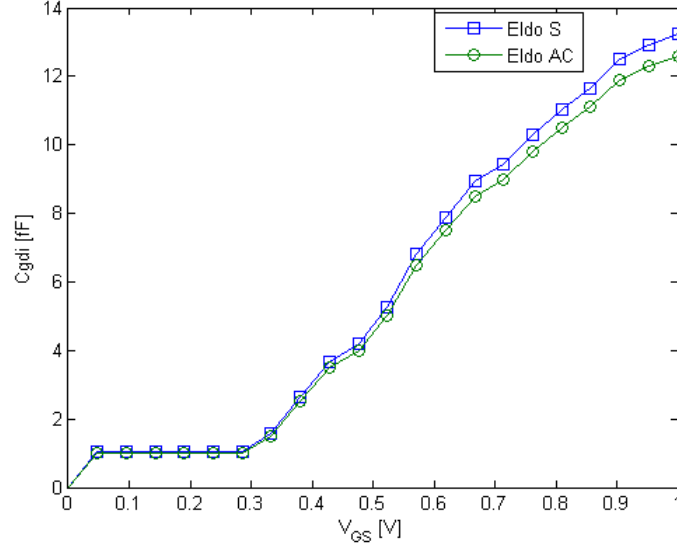


FIG. 45: Capacité intrinsèque C_{gdi} en régime linéaire pour 77K

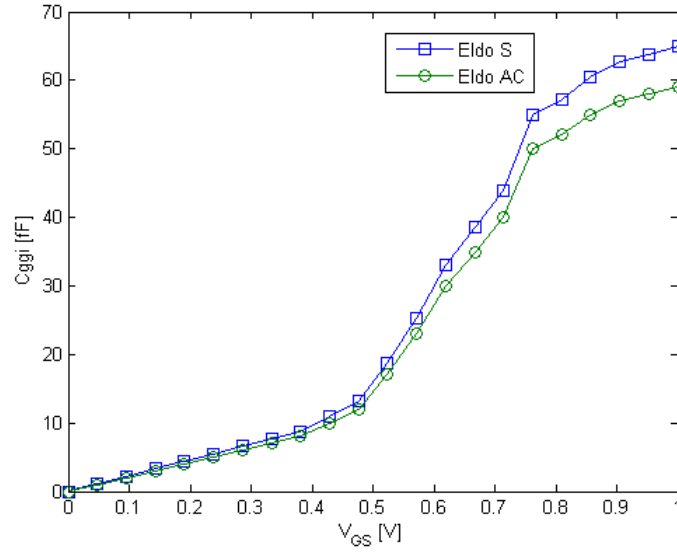


FIG. 46: Capacité intrinsèque C_{ggi} en régime linéaire pour 77K

5.2 Précision de la méthode d'extraction

Dans la section précédente, nous avons observé les différences entre les valeurs du circuit intrinsèque obtenues en simulation ELDO et celles obtenues par

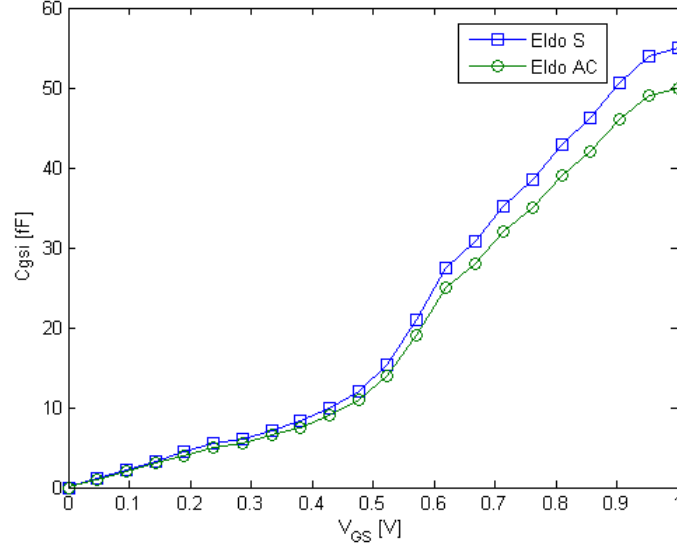


FIG. 47: Capacité intrinsèque C_{gsi} en régime linéaire pour 77K

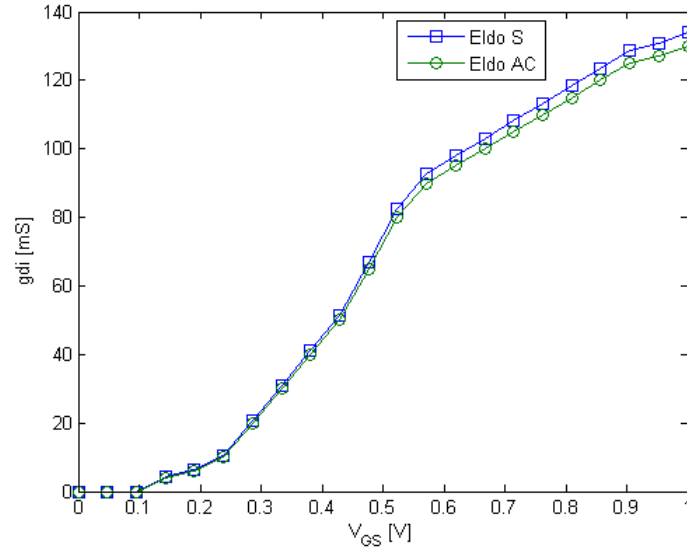


FIG. 48: Conductance de sortie intrinsèque g_{di} en fonction de la tension de grille V_{GS} pour $L = 25$ nm et $T = 77$ K sans résistances séries imposées

l'extraction à partir des paramètres S. Nous émettons l'hypothèse qu'une er-

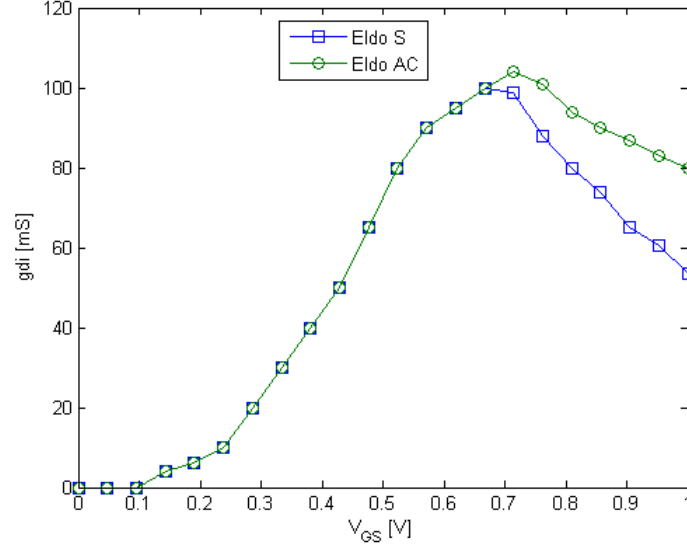


FIG. 49: Conductance de sortie intrinsèque g_{di} en fonction de la tension de grille V_{GS} pour $L = 25$ nm et $T = 77$ K avec les résistances séries imposées

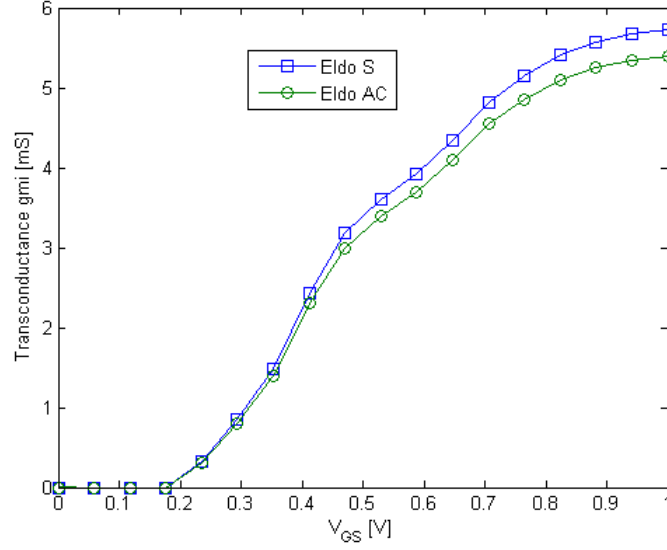


FIG. 50: Transconductance intrinsèque g_{mi} en fonction de la tension de grille V_{GS} pour $L = 25$ nm et $T = 77$ K sans les résistances séries imposées

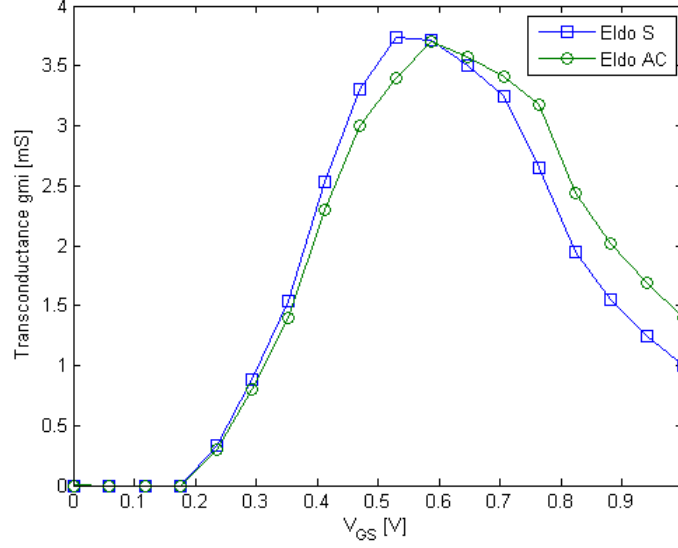


FIG. 51: Transconductance intrinsèque g_{mi} en fonction de la tension de grille V_{GS} pour $L = 25$ nm et $T = 77$ K avec les résistances séries imposées

reur dans l'extraction des résistances séries aurait un impact sur ces différences de tendances entre courbes provenant des simulations AC et de l'extraction à partir des paramètres S. Pour cela, nous devons déterminer quelle est l'erreur qui se produit dans l'extraction des résistances séries quand nous utilisons la méthode du ratio du courant de drain. Pour cela, nous suivrons la procédure de test suivante: Nous commencerons par faire varier les résistances une par une en ELDO. Ensuite, à partir des paramètres S obtenus, nous extrairons les valeurs des résistances séries afin de déterminer l'erreur par rapport aux valeurs imposées en ELDO.

- R_{de} et R_{se} sont fixées à 5Ω et 5Ω respectivement et R_{ge} égale à 1, 2, 4, 6, 8 et 10Ω ,
- R_{ge} et R_{se} sont fixées à 5 et 5Ω respectivement, et R_{de} égale à 1, 2, 4, 6 et 8 et 10Ω ,
- R_{ge} et R_{de} sont fixées à 5 et 5Ω respectivement, et R_{se} égale à 1, 2, 4, 6, 8 et 10Ω ,

Les résultats obtenus sont montrés à la Tab 6. Pour chaque combinaison, on peut observer que la différence entre les valeurs des résistances imposées et les valeurs extraites reste constante. Cette différence est égale à $\Delta R_{ge} = 0.73\Omega$ quand R_{ge} varie, $\Delta R_{de} = -0.4941$ quand R_{de} varie et $\Delta R_{se} = 0.55$ quand R_{se} varie. Les méthodes *cold FET* et *ratio de courant de drain* surestiment R_{ge} et sous-estiment R_{de} et R_{se} . Cela peut être dû à une mauvaise attribution des valeurs des résistances séries par la méthode *cold FET* (i.e. une partie des valeurs

des résistances séries R_{se} et R_{de} sont attribuées à tort à R_{ge} et vice-versa), ceci étant dû à l'erreur faite sur V_T par la méthode de *ratio de courant de drain*.

Ces décalages dans l'estimation des résistances séries est un réel problème. Cela veut dire que plus une résistance aura une valeur faible, plus l'erreur sur sa valeur estimée sera importante. Si nous voulons extraire les résistances séries avec une précision maximale, les résistances séries minimales sont 2.7Ω pour R_{ge} , 4.4Ω pour R_{de} et 4.5Ω pour R_{se} . En dessous de ces valeurs, l'extraction des résistances séries devient de plus en plus mauvaise à mesure que ces résistances diminuent en valeur. En regardant à la Tab. 3 dans le chapitre 3, les résistances minimum mesurées pour R_{ge} étaient à 8.37Ω , ceci voulant dire que toutes les résistances de grille sont extraites avec plus de 90% de précision en moyenne. Cependant, les résistances mesurées R_{de} et R_{se} sont approximativement égales à 2 et 1 Ω , l'erreur faite sur leur estimation était de 28% en moyenne. Pour la configuration 3, quand $R_{se} = 1\Omega$, l'erreur faite était d'environ 56%.

TAB. 6: Valeurs des résistances séries obtenues par extraction en fonction de leur valeur imposée en ELDO

Valeurs des résistances testées [Ω]	1	2	4	6	8	10
R_{ge} à R_{de} et R_{se} fixés	1.73	2.73	4.73	6.73	8.73	11.73
R_{de} à R_{ge} et R_{se} fixés	0.5059	1.5059	3.5059	5.5059	7.5059	9.5059
R_{se} à R_{de} et R_{ge} fixés	0.45	1.45	3.45	5.45	7.45	9.45

5.3 Sensibilité des éléments extraits

L'impact d'une erreur sur l'estimation des résistances séries sur C_{ggi} , C_{gdi} , C_{gsi} , g_{mi} et g_{di} est étudié en régime linéaire ($V_{DS} = 20mV$) pour toutes les dimensions du transistor et $T = 77K$. Les valeurs théoriques de R_{ge} , R_{de} et R_{se} respectivement imposées à 10, 1 et 2 Ω pour le circuit intrinsèque. les capacités sont obtenues entre 0.5 et 5 GHz et les conductances entre 0.5 et 2 GHz. Les résultats sont montrés à la Tab. 4. On peut observer que, entre 0.5 et 5 GHz, les erreurs dans l'extraction des résistances séries n'ont qu'un impact limité sur C_{ggi} . Les erreurs pour C_{gdi} sont approximativement de 8% C_{gsi} n'est elle non plus pas grandement impactée par une erreur sur les résistances séries. La bande de fréquence a été réduite à 1 GHz sans autre changement dans l'erreur relative de C_{gdi} et C_{gsi} . En ce qui concerne les erreurs sur g_{mi} et g_{di} , elles restent relativement constantes en fonction de la longueur. La réduction de la bande de fréquence n'a pas d'effet sur ces erreurs.

L [nm]	25	30	35	45	60
$\Delta R_{ge}/R_{ge}[\%]$	2.03	1.95	1.97	2.54	3.05
$\Delta R_{de}/R_{de}[\%]$	18.1	16.54	17.45	22.98	28.76
$\Delta R_{se}/R_{se}[\%]$	44.53	44.87	43.32	55.45	63.45
$\Delta C_{ggi}/C_{ggi}[\%]$	3.9	3.2	2.5	1.3	1.1
$\Delta C_{gdi}/C_{gdi}[\%]$	8.1	7.76	7.87	5.4	3.56
$\Delta C_{gsi}/C_{gsi}[\%]$	0.05	0.02	0.02	0.02	0.03
$\Delta g_{mi}/g_{mi}[\%]$	33.56	33.3	36.7	39.65	38.65
$\Delta g_{di}/g_{di}[\%]$	27.3	27.32	26.43	29.76	28.07

TAB. 7: Erreur relative dans l'estimation des éléments du circuit petit signal C_{ggi} , C_{gdi} , C_{gsi} , g_{mi} et g_{di} en fonction de L et pour $V_{DS} = 20mV$ et $V_{GS} = 1V$ due aux erreurs dans l'extraction de R_{ge} , R_{se} et R_{de}

5.4 Conclusion

Pendant ce chapitre, il a été mis en évidence qu'une mauvaise extraction des résistances séries avait un impact sur l'extraction des éléments intrinsèques. Des valeurs de résistances séries connues ont été imposées au circuit intrinsèque. Il a été observé que, en moyenne, les valeurs estimées des résistances séries sont toujours décalées de leur valeurs réelles par un *offset*. Les erreurs introduites sur R_{de} et R_{se} sont assez importantes et vont fortement impacter g_{mi} et g_{di} . En ce qui concerne C_{ggi} , C_{gdi} et C_{gsi} , les erreurs introduites sont insignifiantes. Nous avons donc pu vérifier la validité des tendances des courbes obtenues dans le chapitre précédent.

6 Conclusion

Le but de ce mémoire était d'effectuer une extraction complète à basse température des éléments d'un FDSOI, en commençant par obtenir toutes les figures de mérites adéquates et en obtenant ensuite le circuit petit-signal équivalent. Dans cette optique, nous avons commencé par décrire le FDSOI et les recherches précédentes effectuées à basse température sur ce dispositif. Ces recherches étaient principalement concentrées sur l'obtention de la mobilité de champ μ_0 .

Le Chapitre 3 a donc été dirigé vers l'obtention des figures de mérites, notamment les fréquences de coupure et les fréquences maximales, qui n'avaient jamais été extraites jusqu'à présent sur un FDSOI à basse température. Les autres figures de mérite sont elles aussi importantes afin de connaître le potentiel du FDSOI 28 nm pour des applications cryogéniques.

Pendant le chapitre 4, toute une méthodologie d'extraction du circuit petit-signal équivalent a été expliquée. Le circuit utilisé était un modèle à trois bornes (grille, source et drain) séparé en trois parties : la partie d'entrée, la partie extrinsèque et la partie intrinsèque. La partie intrinsèque représente la partie utile du transistor tandis que la partie extrinsèque modélise les éléments parasites dus à la géométrie du MOSFET. La partie d'entrée est utilisée pour modéliser le guide d'onde coplanaire dont nous avons besoin pour faire les mesures des paramètres S. L'extraction a été faite en régime *cold* ($V_{DS} = 0V$), en régime linéaire ($V_{DS} = 20mV$) et en régime de saturation ($V_{DS} = 1V$). Nous avons fait une extraction complète afin de simuler le circuit petit-signal équivalent. La partie d'entrée était très simple à *dé-enchâsser* puisqu'une structure *open-pad* existait déjà.

Comme spécifié dans le chapitre 5, l'extraction des résistances séries R_{se} et R_{de} est la partie la plus difficile et est une source d'erreurs (l'extraction précise de R_{ge} n'est pas cruciale). L'extraction de ces résistances est faite grâce à la méthode *cold FET* (où le transistor est polarisé à $V_{DS} = 0V$) proposée par Bracale. Dans cette méthode, les résistances séries sont calculées grâce à la connaissance de la tension de seuil V_T . Cependant, pour connaître ce V_T , nous avons dû utiliser la méthode du ratio du courant de drain. Cette méthode introduit des erreurs dans l'extraction des résistances séries. Nous avons d'abord simulé en AC un transistor similaire à celui étudié au chapitre 4 afin de vérifier les tendances des courbes des éléments intrinsèques. Nous avons fait cette simulation une première fois sans résistances séries imposées et une seconde en imposant des valeurs de résistances séries, dans le but de constater l'effet qu'auraient ces résistances sur les éléments intrinsèques. Nous avons ensuite simulé des valeurs différentes des résistances séries avant de tester la méthode d'extraction sur les paramètres S générés, ceci afin d'observer l'erreur d'extraction sur ces résistances imposées. Il a été conclu que la méthode du ratio du courant de drain sous-estimait R_{se} et R_{de} et surestimait R_{ge} avec un *offset* constant. Cela entraîne que l'extraction des résistances séries est de moins en moins précise à mesure

que ces résistances deviennent de plus en plus petites. Dans le chapitre 4, R_{se} et R_{de} ont été extraites avec des valeurs approximatives de 1 et 2 Ω . A partir de cette analyse, des erreurs de 48% et 18% sont respectivement attendues sur ces résistances lors de l'extraction. Il a été montré que l'erreur dans l'extraction des résistances n'avait quasiment aucun impact sur C_{gg} et C_{gd} . Cependant, l'impact sur g_{mi} et g_{di} n'était pas du tout négligeable (environ 40% pour les conductances).

Des futures recherches possibles pourraient porter sur une étude de la mobilité de champ, puisque nous disposons du modèle petit-signal intrinsèque en régime linéaire à 77K. Nous avons montré les limites de la méthode *coldFET* dans l'extraction des résistances séries. Nous avons aussi obtenus plusieurs figures de mérites intéressantes durant l'extraction DC et l'extraction RF, qui nous prouvent les performances encourageantes du FDSOI pour des applications cryogéniques.

Références

- [1] J.-P. Eggermont B. Gentinne, D. Flandre and J.-P. Colinge. *High temperature performances of a SOI CMOS gain-boosting OTA*. Third International High Temperature Conference, Albuquerque, USA, jun 1996.
- [2] Imed Ben Akkez, Antoine Cros, Claire Fenouillet-Beranger, Frederic Boeuf, Quentin Rafhay, Francis Balestra, and Gerard Ghibaudo. New parameter extraction method based on split c-v measurements in fdsoi mosfets. *Solid-State Electronics*, 84:142–146, 06 2013.
- [3] K. Bernstein and N. J. Rohrer. *SOI Circuit Design Concepts*. Kluwer Academic Publishers, 2000.
- [4] A Bracale, V Ferlet-Cavrois, N Fel, D Pasquet, J L. Gautier, J L. Pelloie, and J du Port de Poncharra. A new approach for soi devices small-signal parameters extraction. *Analog Integrated Circuits and Signal Processing*, 25:157–169, 11 2000.
- [5] Inc. R . c Cascade Microtech.
- [6] J.-P. Colinge. *Silicon-on-Insulator Technology: Materials to VLSI*. Kluwer Academic Publishers, third edition, 2004.
- [7] D. De Ceuster D. Flandre, J.-P. Eggermont and P. Jespers. Comparison of soi versus bulk performances of cmos micropower single-stage otas. *Electronics Letters*, 30(23):1933–1934, nov 1994.
- [8] J.-P. Raskin D. Flandre and D. Vanhoenacker-Janvier. Soi cmos transistors for rf and microwave applications. *International Journal of High Speed Electronics and Systems*, 11(4):1159–1248, 2001.
- [9] J. M. Early. Effects of space-charge layer widening in junction transistors. *Proc. IRE*, 40(11):1401–1406, nov 1952.
- [10] Mostafa Emam. *WIDE BAND AND NOISE CHARACTERIZATION OF VARIOUS MOSFETS FOR OPTIMIZED USE IN RF CIRCUITS*. PhD thesis, Université catholique de Louvain, 2010.
- [11] H. E. Maes J. C. Alderman G. Groeseneken, J.-P. Colinge and S. Holt. *Temperature dependence of threshold voltage in thin-film SOI MOSFET's*, volume 11 of 8. IEEE Electron Device Lett., aug 1990.
- [12] Gerard Ghibaudo. New method for the extraction of mosfet parameters. *Electronics Letters*, 24:543 – 545, 05 1988.
- [13] H J. Park, Maryline Bawedin, K.R.A. Sasaki, J.A. Martino, and Sorin Cristoloveanu. Is there a kink effect in fdsoi mosfets? pages 212–215, 04 2017.
- [14] M.-K Choi J.-Y Kim and S. Lee. Rf extraction of gate-voltage dependence of the overlap and fringing capacitances in deep-submicron mosfets. *Journal of the Korean Physical Society*, 59(2):421–424, 2011.
- [15] Babak Kazemi, V Kilchytska, V Barral, N Planes, M Haond, Denis Flandre, and Jean-Pierre Raskin. Assessment of 28nm utbb fd-soi technology platform for rf applications: Figures of merit and effect of parasitic elements. *Solid-State Electronics*, 117, 12 2015.

- [16] Jury Morin, Morin Dehan, Jean-Didier Legat, Danielle Vanhoenacker-Janvier, Jean-Pierre Raskin, Denis Flandre, Gilles Dambrine, and J-L Gautier. Characterization and modeling of soi rf integrated components. 06 2019.
- [17] R. S. Muller and T. I. Kamins. *Device Electronics for Integrated Circuits*. Wiley, New York, second edition, 2004.
- [18] J.-P. Raskin. *Modeling, characterization and optimization of MOSFET's and passive elements for the synthesis of SOI MMIC's*. PhD thesis, Université Catholique de Louvain, dec 1997.
- [19] D. K. Schroder. *Semiconductor material and device characterization*. John Wiley & Sons, third edition, 2002.
- [20] Minju Shin, Ming Shi, Mireille Mouis, Antoine Cros, Emmanuel Josse, Gyu-Tae Kim, and Gerard Ghibaudo. Low temperature characterization of 14nm fdsoi cmos devices. 07 2014.
- [21] Minju Shin, Ming Shi, Mireille Mouis, Antoine Cros, Emmanuel Josse, Gyu-Tae Kim, and Gerard Ghibaudo. In depth characterization of electron transport in 14 nm fd-soi cmos devices. *Solid-State Electronics*, 112:13–18, 04 2015.
- [22] M. M . Arshad D. Flandre S. Olsen F. Andrieu S.Makovejev, J.-P. Raskin and V. Kilchytska. Impact of self heating and substrate effects on small-signal output conductance in utbb soi mosfets. *Solid-State Electronics*, 71:93–100, 2012.
- [23] S. M. Sze and K. K. Ng. *Physics of Semiconductor Devices*. John Wiley & Sons, New-York, third edition, 2007.
- [24] J. Colinge V. Dessard T. Rudenko, V. Kylchytska and D. Flandre. Physical analysis of the high-temperature subthreshold slope in soi mosfet's. pages 34–35, Wakefield, oct 2000. Proc. IEEE International SOI Conference.
- [25] Y. Taur and T. H. Ning. *Fundamentals of Modern VLSI Devices*. Cambridge: Cambridge University Press,, 1998.
- [26] Agilent technologies. Applying error correction to network analyzer measurements, mar 2002.
- [27] Y. Tsividis. *Operation and Modeling of the MOS Transistor*. Oxford University Press, Oxford, second edition, 1999.
- [28] L. Vancaillie D. Levacq S. Adriaensen H. van Meer K. D. Meyer C. Raynaud M. Dehan J.-P. Raskin V. Kilchytska, A. N.eve and D. Flandre. *Influence of device engineering on the analog and RF performances of SOI MOSFETs*, volume 50 of 3. IEEE Trans. Electron Devices, mar 2003.
- [29] E. Vandermolen. Study of mobility including ballistic effects in advanced mosfet's. Master's thesis, Université catholique de Louvain, 2017.

